

1508.63556

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicant: Hongyung Zhang)

Serial No.)

Filed: January 25, 2000)

For: METHOD FOR MANUFACTURING)
LIQUID CRYSTAL PANEL, LIQUID)
CRYSTAL PANEL AND MANU-)
FACTURING SYSTEM OF THE)
SAME)

Art Unit:)

I hereby certify that this paper is being deposited with the United States Postal Service as Express Mail in an envelope addressed to: Asst. Comm. for Patents, Washington, D.C. 20231, on this date.

01-25-00
Date

Express Mail Label No.: EL409490925US



CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 11-072272

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By

Patrick G. Burns
Reg. No. 29,367

January 25, 2000
Sears Tower - Suite 8660
233 South Wacker Drive
Chicago, IL 60606
(312) 993-0080

Atty. Docket: 1508.63556
Atty. Phone: (312) 993-0080

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 3月17日

出 願 番 号
Application Number:

平成11年特許願第072272号

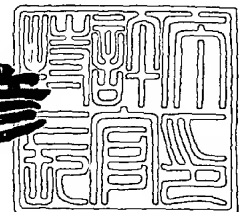
出 願 人
Applicant(s):

富士通株式会社

1999年12月24日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3090436

【書類名】 特許願

【整理番号】 9840184

【提出日】 平成11年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/35

【発明の名称】 液晶パネルの製造方法、液晶パネル及び液晶パネルの製造システム

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 張 宏勇

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100091672

 【住所又は居所】 東京都中央区日本橋人形町3丁目11番7号
山西ビル4階

 【弁理士】

 【氏名又は名称】 岡本 啓三

 【電話番号】 03-3663-2663

【手数料の表示】

 【予納台帳番号】 013701

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特平 1 1 - 0 7 2 2 7 2

【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶パネルの製造方法、液晶パネル及び液晶パネルの製造システム

【特許請求の範囲】

【請求項 1】 アクティブマトリクス方式の液晶パネルの製造方法において

、
マスタ T F T 基板を複数のブロックに区画し、更に各ブロックを 1 又は複数のデバイス形成領域に区画して、前記デバイス形成領域に T F T（薄膜トランジスタ）となる導電膜、絶縁膜及び半導体膜を形成するアレイ工程と、

前記マスタ T F T 基板を前記ブロック毎に切断して複数のサブ T F T 基板とする 1 次カット工程と、

各サブ T F T 基板に、製造するデバイスに応じた加工を実施するサブ T F T 基板加工工程と、

前記サブ T F T 基板を前記デバイス形成領域毎に切断する 2 次カット工程とを有することを特徴とする液晶パネルの製造方法。

【請求項 2】 前記マスタ T F T 基板の各ブロックに、それぞれ同一サイズの液晶パネルのみを製造することを特徴とする請求項 1 に記載の液晶パネルの製造方法。

【請求項 3】 前記マスタ T F T 基板の各ブロックに、それぞれ相互に異なるサイズの 2 種類以上の液晶パネルを製造することを特徴とする請求項 1 に記載の液晶パネルの製造方法。

【請求項 4】 前記サブ T F T 基板加工工程は、前記サブ T F T 基板の上方に画素電極を形成する工程と、該画素電極の上を被覆する配向膜を形成する工程と、前記サブ T F T 基板上に第 2 の基板を接合する工程とを有し、

前記 2 次カット工程後に前記カット後のサブ T F T 基板と前記第 2 の基板との間に液晶を封入することを特徴とする請求項 1 に記載の液晶パネルの製造方法。

【請求項 5】 前記アレイ工程は、前記マスタ T F T 基板の上方にアモルファスシリコン膜を形成する工程と、該アモルファスシリコン膜に矩形のレーザビームを照射し、該レーザビームを一方向に移動させて前記アモルファスシリコン

膜をポリシリコン膜に変える工程とを有することを特徴とする請求項 1 に記載の液晶パネルの製造方法。

【請求項 6】 前記サブ T F T 基板加工工程には、前記 1 次カット後のサブ T F T 基板に対しコーナーカットする工程及び端面加工する工程の少なくとも一方の工程が含まれることを特徴とする請求項 1 に記載の液晶パネルの製造方法。

【請求項 7】 前記マスタ T F T 基板を用いてサイズが異なる複数種類の駆動回路一体型液晶パネルを形成する際に、各液晶パネルの表示部に対する駆動回路の配置方向が同一であることを特徴とする請求項 1 に記載の液晶パネルの製造方法。

【請求項 8】 前記サブ T F T 基板加工工程では、各サブ T F T 基板毎に設けた基準マークを使用してパターンの位置合わせを行うことを特徴とする請求項 1 に記載の液晶パネルの製造方法。

【請求項 9】 マスタ T F T 基板の上に T F T となる導電膜、絶縁膜及び半導体膜を形成し、前記マスタ T F T 基板を 1 次カットして複数のサブ T F T 基板に分割し、前記サブ T F T 基板の状態で画素電極及び第 1 の配向膜を形成し、カラーフィルタ、対向電極及び第 2 の配向膜を有するカラーフィルタ基板を前記サブ T F T 基板と接合し、前記サブ T F T 基板を 2 次カットした後、前記サブ T F T 基板と前記カラーフィルタ基板との間に液晶を封入して形成されたことを特徴とする液晶パネル。

【請求項 10】 マスタ T F T 基板を複数のブロックに区画し、更に各ブロックを 1 又は複数のデバイス形成領域に区画して、前記デバイス形成領域の少なくとも 1 つに T F T を形成する複数の製造装置により構成される第 1 の製造ラインと、

前記マスタ T F T 基板を前記ブロック毎に複数のサブ T F T 基板に分割した 1 次カット工程後の前記サブ T F T 基板に対し、製造するデバイスに応じた加工を実施する複数の製造装置により構成される第 2 の製造ラインと

を有することを特徴とする液晶パネルの製造システム。

【請求項 11】 前記第 1 の製造ラインには T F T の活性層となる半導体膜を形成する成膜装置が含まれ、前記第 2 の製造ラインには画素電極を形成する成

膜装置が含まれていることを特徴とする請求項 1 0 に記載の液晶パネルの製造システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、1 枚のマスタガラス基板を使用して複数の液晶パネルを製造する液晶パネルの製造方法、その製造方法により製造された液晶パネル及び液晶パネルの製造システムに関する。

【0 0 0 2】

【従来の技術】

アクティブマトリクス方式の液晶パネルを用いた表示装置は、非選択時にオフ状態となって信号を遮断するスイッチを各画素に設けることによってクロストークを防止するものであり、単純マトリクス方式の液晶パネルを用いた表示装置に比べて優れた表示特性を示す。特に、スイッチとして T F T (Thin Film Transistor) を使用した液晶表示装置は、T F T の駆動能力が高いので、C R T (Cathode-Ray Tube) に匹敵するほど優れた表示特性を示す。

【0 0 0 3】

一般的に、液晶パネルは 2 枚の透明基板の間に液晶を封入した構造を有している。それらの透明基板の相互に対向する 2 つの面のうち、一方の面側には対向電極、カラーフィルタ及び配向膜等が形成され、他方の面側には T F T、画素電極及び配向膜等が形成されている。更に、各透明基板の対向面と反対側の面には、それぞれ偏光板が貼り付けられている。これらの 2 枚の偏光板は、例えば偏光板の偏光軸が互いに直交するように配置され、これによれば、電界をかけない状態では光を透過し、電界を印加した状態では遮光するモード、すなわちノーマリーホワイトモードとなる。その反対に、2 枚の偏光板の偏光軸が平行な場合にはノーマリーブラックモードとなる。以下、T F T 及び画素電極が形成された透明基板、又はこれらから T F T 及び画素電極が形成される透明基板を T F T 基板と呼び、対向電極及びカラーフィルタが形成された C F 基板を対向基板と呼ぶ。

【0 0 0 4】

近年、ノート型パーソナルコンピュータ（以下、「PC」という）、デスクトップ型PC及びワークステーション等に使用されるアクティブマトリクス型液晶パネルのサイズが年々大型化している。

一般的に、液晶パネルの製造には、マスタガラスといわれる大型の基板を使用している。そして、マスタガラス基板を、複数の液晶パネル形成領域に区画して、各領域にTFTや画素電極等を形成し、その後マスタガラス基板（TFT基板）の上にスペーサを散布し、スペーサを挟んでマスタガラス基板とCF基板とを接合した後、マスタガラス基板を分割して個々の液晶パネルとしている。液晶パネルの大型化に伴って、マスタガラス基板のサイズも年々大型化する傾向にある。また、製造コストを低減するために、1枚のマスタガラス基板で製造する液晶パネルの数（面取り数）も多くなってきている。

【0005】

下記表1に、アクティブマトリクス方式の液晶パネルの製造ラインの世代とマスタガラス基板サイズとの対応を示す。また、図1に各世代のマスタガラス基板の大きさの比較を示す。

【0006】

【表1】

ライン世代	基板サイズ	10型	11型	12型	13型	15型
第1.0期	300 X 400mm	2面取り	2面取り	1面取り	1面取り	1面取り
第2.0期	360 X 465mm	4面取り	2面取り	2面取り	2面取り	1面取り
第2.5期	400 X 500mm		4面取り	2面取り	2面取り	2面取り
第3.0期	550 X 650mm			6面取り	4面取り	4面取り
第3.5期	600 X 720mm				6面取り	4面取り
第4.0期	960 X 1000mm				12面取り	9面取り

【0007】

表1に示すように、第1期（Phase 1）の製造ラインは、マスタガラス基板のサイズが300 X 400 mmであり、10型（対角線の長さが10.4インチ）又は11型（対角線の長さが11.4インチ）の液晶パネルを2枚同時に形成す

ることが可能である。これに対し、現在各メーカーで検討中の第4期（Phase 4）の製造ラインでは、マスタガラス基板のサイズが960×1000mmであり、第1期のマスタガラス基板の8倍の面積を有している。この第4期のマスタガラス基板では、13型（対角線の長さが13.3インチ）又は14型（対角線の長さが14.1インチ）の液晶パネルを12枚同時に製造することができる。

【0008】

また、近年、液晶パネルに対する需要も多様化している。当初、液晶パネルは主にノート型PCのディスプレイ装置として使用されていたが、デスクトップ型PCやワークステーションのディスプレイ装置として使用する大型液晶パネル、移動通信機や携帯型情報機器などのモバイル機器用の中型又は小型の液晶パネル、テレビ（TV）、ビデオ（VTR）及びデジタルカメラ等の映像機器用の液晶パネルの市場も年々拡大している。

【0009】

従来、液晶パネルの製造ラインは、基本的にある特定の寸法の液晶パネルを想定して構築されている。例えば、図2、図3に示すように、第1期の製造ラインでは10型の液晶パネルの2面取りを想定してマスタガラス基板のサイズが決定され、そのマスタガラス基板に合わせて製造ラインが構築された。これと同様に、第2期の製造ラインは10型の液晶パネルの4面取りを想定して構築され、第2.5期の製造ラインは10型又は11型の液晶パネルの4面取りを想定して構築され、第3期の製造ラインは12型（対角線の長さが12.1インチ）の液晶パネルの4面取りを想定して構築され、第3.5期の製造ラインは13型の液晶パネルの6面取りを想定して構築されている。また、第4期の製造ラインは13型又は14型の液晶パネルの12面取り、又は15型以上の液晶パネルの4～6面取りを想定して構築される。

【0010】

【発明が解決しようとする課題】

本願発明者は、従来の液晶パネルの製造方法には以下の3つの問題点があると考ええる。

第1の問題点は、生産性が液晶パネルの寸法により大幅に変動することである

。図4に、第3期製造ライン（マスタガラス基板サイズが550×650mm）のパネルサイズと面取り数との関係を示す。第3期製造ラインでは、11型又は12型液晶パネルならば6面取り、13型～15型液晶パネルならば4面取り、16型～19型液晶パネルならば2面取り、20型～24型液晶パネルならば1面取りとなる。

【0011】

下記表2に、生産性を反映する有効基板利用率のパネル面取り数及びパネル寸法に対する依存性を示す。

【0012】

【表2】

パネル寸法（型） （または対角線インチ）	面取り数	有効基板利用率
12型	6面取り	0.86
13型	4面取り	0.67
15型	4面取り	0.87
16型	2面取り	0.51
19型	2面取り	0.72
20型	1面取り	0.40
24型	1面取り	0.57

【0013】

但し、縁部のハンドリング領域を除いたマスタガラス基板の面積を基板有効面積とし、液晶パネルの表示領域の面積をパネル面積とし、有効利用面積＝パネル面積×面取り数とし、有効基板利用率＝有効利用面積／基板有効面積と定義する。

【0014】

表2からわかるように、パネルサイズが16型から19型までの間で変わっても、同時に製造できる液晶パネルの数は2個と変わらないため、有効基板利用率が0.51から0.72までの間で変動する。換言すると、ある製造ラインにお

いて、一定の面取り数で有効基板利用率が最大になるパネルサイズがある。例えば、第3期製造ラインの場合は、有効基板利用率が最大になるパネルサイズは6面取りでは12型、4面取りでは15型、2面取りでは19型、1面取りでは24型である。このうち、有効基板利用率が最も高いのは12型4面取りの0.86であり、有効基板利用率が最も低いのは20型1面取りの0.4である。すなわち、従来の方法では、製造する液晶パネルのサイズにより、有効基板利用率が0.4～0.87となり、2倍以上変動する。

【0015】

第2の問題点は、液晶パネルの製造ラインの投資が膨大になり、製品の多様化に対応できなくなることである。近年、ノート（サブノートを含む）型PC、デスクトップ型PCやワークステーションのディスプレイ装置、モバイル機器のディスプレイ装置及び映像機器などに液晶パネルの用途が拡大しつつある。しかし、従来は、①特定の製造ラインで特定のサイズの液晶パネルを製造する、②特定のロットで特定の品種を投入する、という考えが基本にある。従って、液晶パネルの多様化に対応するためには、液晶パネルのサイズや品種に応じた複数の製造ラインを構築する必要がある。例えば、第1の製造ラインではノート型PC用液晶パネルを製造し、第2の製造ラインではモバイル機器及び映像機器用液晶パネルを製造し、第3の製造ラインではモニタ用液晶パネルを製造するというように、従来は、製造する液晶パネルに合わせて製造ラインを構築している。

【0016】

製品の種類が少ないときは液晶パネルのサイズや品種に応じて製造ラインを構築することが比較的容易であったが、今後は、マスタガラス基板サイズが巨大化し、製品も多様化してくるので、各製品毎に製造ラインを構築すると設備投資が膨大になり、多様化する製品に対応できなくなる。

第3の問題点は、従来方法では市場需要の変化に対して対応できないということである。例えば、1994年頃、液晶パネルの各メーカーではノート型PC用液晶パネルのサイズは10型になるだろうと予測し、10型液晶パネルの4面取りを想定した第2期製造ラインを構築した。しかし、1年足らずの間にノート型PC用液晶パネルのパネルサイズの主流が11型に変わったため、既に構築した製

造ラインの殆どがこのニーズに対応できなくなり、11型の2面取りに変更されて生産性が半減した。

【0017】

また、翌年の1995年には、液晶パネルのパネルサイズの主流が12型に変わったため、せっかく構築した2.5期の製造ラインが、12型の液晶パネルの2面取りの製造ラインになってしまった。ここでも、生産性が半減した。

以上から本発明の目的は、マスタガラス基板のサイズを変更しても、従来の設備も効率よく使用し、多様化する市場の要求に容易に対応することができて、製造コストの低減を図ることができる液晶パネルの製造方法、その製造方法により製造された液晶パネル及び液晶パネルの製造システムを提供することを目的とする。

【0018】

【課題を解決するための手段】

上記した課題は、図5に例示するように、アクティブマトリクス方式の液晶パネルの製造方法において、マスタTFT基板（マスタガラス基板）10を複数のブロック11a～11dに区画し、更に各ブロック11a～11dを1又は複数のデバイス形成領域12a～12dに区画して、前記デバイス形成領域12a～12dにTFTとなる導電膜、絶縁膜及び半導体膜を形成するアレイ工程と、前記マスタTFT基板10を前記ブロック11a～11d毎に切断して複数のサブTFT基板とする1次カット工程と、各サブTFT基板に、製造するデバイスに応じた加工を実施するサブTFT基板加工工程と、前記サブTFT基板を前記デバイス形成領域12a～12d毎に切断する2次カット工程とを有することを特徴とする液晶パネルの製造方法により解決する。

【0019】

上記した課題は、図6に例示するように、マスタTFT基板（マスタガラス基板）を複数のブロックに区画し、更に各ブロックを1又は複数のデバイス形成領域に区画して、前記デバイス形成領域の少なくとも1つにTFTを形成する複数の製造装置により構成される第1の製造ライン16と、前記マスタTFT基板を前記ブロック毎に複数のサブTFT基板に分割した1次カット工程後の前記サブ

TFT基板に対し、製造するデバイスに応じた加工を実施する複数の製造装置により構成される第2の製造ライン17とを有することを特徴とする液晶パネルの製造システムにより解決する。

【0020】

上記した課題は、図7、図9に示すように、マスタTFT基板10の上にTFT42となる導電膜、絶縁膜及び半導体膜を形成し、前記マスタTFT基板10を1次カットして複数のサブTFT基板10a～10dに分割し、前記サブTFT基板10a～10dの状態画素電極45及び第1の配向膜47を形成し、これらの画素電極45及び第1の配向膜47が形成された基板40と、カラーフィルタ53、対向電極55及び第2の配向膜56を有するカラーフィルタ基板50とを接合し、前記サブTFT基板10a～10dを2次カットした後、前記基板40と前記カラーフィルタ基板50との間に液晶49を封入して形成されたことを特徴とする液晶パネルにより解決する。

【0021】

以下、本発明の作用について説明する。

アクティブマトリクス方式の液晶パネルの製造工程では、一般的に、マスタTFT基板の上にTFTを形成するアレイ工程、画素電極や配向膜を形成し、CF基板と接合するサブTFT基板加工工程、マスタTFT基板を切断するカット工程をこの順で実施する。液晶パネルの製造工程では、品種が違っていてもアレイ工程の内容は基本的に同一である。つまり、アレイ工程では、液晶パネルの品種が異なっても、絶縁膜、半導体膜及び導電膜を形成する順番や各膜の厚さ及び材料は殆ど同じである。一方、サブTFT基板加工工程で形成する配向膜の材料やセルギャップ及び液晶材料は、品種によって異なる。

【0022】

そこで、本発明においては、マスタTFT基板（マスタガラス基板）を複数のブロックに区画し、各ブロックを更に1又は複数のデバイス形成領域に区画して、マスタTFT基板の状態TFT形成工程を実施して少なくとも1つのデバイス形成領域にTFTとなる導電膜、絶縁膜及び半導体膜を形成する。このように、本発明では、液晶パネルの種類に拘わらず工程が共通の加工をマスタTFT基

板の状態を実施する。このとき、マスタTFT基板の状態で処理が可能な大型の成膜装置、露光装置、現像装置、エッチング装置などにより構成される第1の製造ラインを使用する。

【0023】

次に、1次カット工程において、マスタTFT基板を各ブロック毎のサブTFT基板に切断する。そして、各サブTFT基板に対し、製造するデバイスに応じた加工を施す。すなわち、液晶パネルの品種に応じた材料を用いて配向膜を形成したり、セルギャップを調整する。この場合、マスタTFT基板よりも小さいサブTFT基板の状態で行うので、第1の製造ラインよりも小型の成膜装置、露光装置、現像装置、エッチング装置などの装置により構成される第2の製造ライン、換言すると第1の製造ラインよりも前の世代の製造ラインを使用することができる。その後、2次カット工程において、サブTFT基板を所定のパネルサイズに切断し、パネル内に液晶パネルの仕様に適した液晶を封入する。

【0024】

本発明によれば、1次カット工程においてマスタTFT基板を複数のサブTFT基板に分割し、その後サブTFT基板加工工程を実施するので、前の世代の設備を効率よく使用することができ、設備投資の費用を削減することができる。また、1枚のマスタTFT基板（マスタガラス基板）を使用して製造する液晶パネルの組み合わせを適切に選択することにより、有効基板利用率を向上させることができるとともに、市場需要の変化に容易に対応することができる。

【0025】

本発明においては、例えば、1つのブロック内に同一サイズの液晶パネルのみを形成してもよい。また、有効利用率が高くなるように、1つのブロック内に異なるサイズの2種以上の液晶パネルを形成してもよい。更に、あるブロックに直視型液晶パネルを形成し、他のブロックに投写型液晶パネルを形成することも可能である。更にまた、あるブロックに透過型液晶パネルを形成し、他のブロックに反射型投射パネルを形成することも可能である。

【0026】

本発明においてはマスタTFT基板の状態で行うので、アレイ工

程内に半導体膜を形成する工程を含んでいる。しかし、更にサブTFT基板加工工程において、サブTFT基板上に半導体膜を形成してもよい。例えば、光通信用受光センサ、1次元非密着型イメージセンサ、2次元非密着型イメージセンサ、1次元密着型イメージセンサ又は2次元密着型イメージセンサなどの光電変換素子を内蔵した液晶パネルを製造する場合、受光センサ又はイメージセンサ部分のシリコン膜は比較的厚く形成する必要がある。マスタTFT基板の状態で枚葉型の成膜装置を使用してシリコン膜を厚く形成するよりも、サブTFT基板に分離した後にバッチ型の成膜装置を使用して複数のサブTFT基板に同時にシリコン膜を形成するほうが、成膜効率が高くなる。従って、光通信用受光センサ又はイメージセンサを内蔵する液晶パネルを形成する場合、サブTFT基板加工工程内に半導体膜を形成する工程を有することが好ましい。

【0027】

なお、特開平9-325328号公報には、マスタTFT基板にサイズが異なる液晶パネルを形成し、その後マスタTFT基板を個々の液晶パネルに切断することが開示されている。しかし、特開平9-325328号公報に開示された技術では、1枚のマスタガラス基板で複数の液晶パネルを同時に形成し、液晶を封入する工程の直前でマスタガラス基板を切断して個々の液晶パネルに分離している。従って、基板を切断する工程が1つしかなく、個々の液晶パネルに分離するまではマスタTFT基板を処理するための大型の製造ラインが必要である。このため、特開平9-325328号公報に開示された技術では、マスタガラス基板の利用効率を向上させることはできるものの、前の世代の製造ラインを使用することができず、設備を効率よく使用するという点で十分ではない。また、特開平9-325328号公報に開示された技術では、配向膜の材質やセルギャップが同じ液晶パネルしか同時に製造することしかできず、1つのマスタガラス基板を使用して配向膜の材質やセルギャップ等が異なる液晶パネルを製造することはできない。

【0028】

一方、本発明では、マスタTFT基板で実施される工程は各液晶パネルで共通であるが、サブTFT基板に切断した後はサブTFT基板加工工程では各液晶パ

ネルに固有の工程を実施することが可能である。従って、1つのマスタTFT基板を用いて異なる構造の液晶パネルを効率よく製造することができる。

【0029】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

(第1の実施の形態)

図5は本発明の第1の実施の形態の液晶パネルの製造方法の概要を示す平面図、図6は液晶パネルの製造システムを示す模式図、図7はマスタTFT基板及びサブTFT基板を示す平面図である。

【0030】

本実施の形態においては、サイズが960×1000mmのマスタTFT基板(マスタガラス基板)を使用し、図5に示すように、マスタTFT基板10を4つのブロック11a～11dに区画し、例えば第1のブロック11aには20型の液晶パネルを形成するための1つのデバイス形成領域12a、第2のブロック11bには12～15型の液晶パネルを形成するための2つのデバイス形成領域12b、第3のブロック11cには10～11型の液晶パネルを形成するための4つのデバイス形成領域12c、第4のブロック11dには2型～3型の携帯電話用液晶パネルを形成するための多数(図では6個)のデバイス形成領域12dを確保する。なお、後述するサブTFT基板加工工程で各サブTFT基板をハンドリングする必要上、各ブロック11a～11dの縁部には、10～15mmの幅でハンドリング領域を確保することが必要である。

【0031】

また、本実施の形態では、図6に示すように、第1の製造ライン16と第2の製造ライン17との2種類の製造ラインを使用する。第1の製造ライン16は、960×1000mmのマスタTFT基板10を処理可能な大型の洗浄装置、成膜装置、露光装置、現像装置及びエッチング装置等の装置群により構成され、この第1の製造ライン16を用いて、マスタTFT基板10の各ブロック11a～11dに、TFTとなるシリコン膜や絶縁膜及び導電膜を形成する。その後、1次カット工程において、図5及び図7(a)に破線で示す位置でマスタTFT基

板 10 を切断し、図 7 (b) に示すように各ブロック 11 a ~ 11 d 毎のサブ T F T 基板 10 a ~ 10 d に分割する。これらのサブ T F T 基板 10 a ~ 10 d のサイズはいずれも 480 × 500 mm である。第 1 の製造ライン 16 には、T F T の活性層となる半導体膜を形成するための成膜装置、例えば P E C V D (Plasma Enhanced Chemical Vapor Deposition) 装置が含まれている。

【0032】

図 6 に示す第 2 の製造ライン 17 は、サイズが 480 × 500 mm のサブ T F T 基板 10 a ~ 10 d を処理可能な比較的小型の洗浄装置、成膜装置、露光装置、現像装置及びエッチング装置等の装置群により構成されている。言い換えれば、第 2 の製造ライン 17 は、第 1 の製造ライン 16 よりも前の世代の製造ラインを使用することができる。この第 2 の製造ライン 17 で、サブ T F T 基板 10 a ~ 10 d に対し製造する各液晶パネルに応じた処理を実施する。第 2 の製造ライン 17 には、I T O (indium-tin oxide: インジウム酸化スズ) からなる画素電極を形成するための成膜装置、例えばスパッタ装置が含まれている。

その後、サブ T F T 基板 10 a ~ 10 d と C F 基板を接合した後、2 次カット工程においてサブ T F T 基板 10 a ~ 10 d を切断し、所望のパネルサイズとする。そして、T F T 基板と C F 基板との間に液晶を封入する。

【0033】

図 8 は第 1 の実施の形態の液晶パネルの製造方法により製造する液晶パネルを示す模式図である。この図 8 に示すように、液晶パネル 30 には、マトリクス状に配置された複数 (図では 1 つのみ図示) の画素 31 と、各画素 31 の間を通る走査ライン 35 及びデータライン 36 とが形成されている。各画素 31 は、画素電極、対向電極及びこれらの電極間の液晶とにより構成される透過光量制御部 33 と、T F T 32 と、補助容量 34 とにより構成されている。

【0034】

液晶パネル 30 にはゲートドライバ用 L S I (Large Scale Integrated Circuit) 37 及びデータドライバ用 L S I 38 が接続される。ゲートドライバ用 L S I 37 から走査ライン 35 に所定のタイミングで走査信号が供給され、データドライバ用 L S I 38 からデータライン 36 に所定のタイミングで表示データが供

給される。

【0035】

図9は、第1の実施の形態で製造しようとする直視型液晶パネル30の断面図である。液晶パネル30は、スペーサ（図示せず）を挟んで配置されたTFT基板40及びCF基板50と、TFT基板40とCF基板50とを接合するシール材59と、TFT40とCF基板50との間に封入された液晶49とにより構成され、TFT基板40の下側及びCF基板50の上側にそれぞれ偏光板48、57が配置される。

【0036】

TFT基板40は、ガラス基板41と、その上に形成されたTFT42、データライン及び走査ライン等の配線43、層間絶縁膜44、画素電極45、引出端子46及び配向膜47により構成されている。また、CF基板50は、ガラス基板51と、その下面側に形成されたブラックマトリクス52、カラーフィルタ53、層間絶縁膜54、対向電極55及び配向膜56により構成されている。

【0037】

図10～図12は、第1の実施の形態の液晶表示装置の製造方法を示すフローチャートであり、図10はマスタTFT基板の状態での工程フローを示し、図11はサブ基板の状態での工程フロー、図12はパネル工程を示す。

以下、図10～図12のフローチャート、図7に示すマスタTFT基板及びサブTFT基板の平面図、並びに図13～図16の製造方法を工程順に示す断面図を参照して、第1の実施の形態をより詳細に説明する。この例では、マスタTFT基板10を4つのブロック11a～11dに分けるが、予め図7(a)に示すように、マスタTFT基板10の左上のコーナー部には基板の向きを決めるためのオリフラ13が設けられており、他のコーナー部にはコーナーカット14が設けられている。オリフラ13は、図中x1で示す部分の長さが2.0mm、y1で示す部分の長さが5.0mmの切り欠きであり、コーナーカット14は図中x2、y2で示す部分の長さがいずれも1.5mmの切り欠きである。また、各ブロック11a～11dの各コーナー部の近傍には、位置合わせ用の基準マーク15が設けられる。

【0038】

まず、図10のフローチャートのステップS11において、マスタTFT基板10の表面を洗浄する基板洗浄工程を実施する。次に、ステップS12において、マスタTFT基板10の一方の面（以下、上面とする）にCr（クロム）をスパッタリングして、厚さが0.15～0.2 μ mのCr膜を形成する。次に、ステップS13に移行して、フォトリソトを使用してCr膜の上に所定のパターンのレジスト膜を形成する。そして、ステップS14において、Cr膜をエッチングし、図13（a）に示すように、TFTのゲート電極21と、該ゲート電極21と同じ配線層の走査ライン等の配線（図示せず）を形成する。その後、レジスト膜を除去する。

【0039】

次に、図13（b）に示すように、ステップS15において、基板洗浄処理を実施し、ステップS16において、マスタTFT基板10の上側にSiN_xを0.3～0.4 μ mの厚さに堆積させてゲート絶縁膜22を形成する。また、ゲート絶縁膜22の上にTFTのチャネル領域となるアモルファスシリコン（a-Si）膜23を0.03～0.1 μ mの厚さに形成する。更に、アモルファスシリコン膜23の上にSiN_xを0.2～0.5 μ mの厚さに堆積させてチャネル保護膜24を形成する。

【0040】

次に、ステップS17において、チャネル保護膜24の上にフォトリソトを塗布してフォトリソト膜を形成し、該フォトリソト膜をマスタTFT基板10の下面側から露光する。そして、現像処理を施し、図13（c）に示すように、ゲート電極21の上方にのみレジスト膜25を残す。

次に、ステップS18において、レジスト膜25をマスクとしてチャネル保護膜24をエッチングする。その後、図14（a）に示すように、フォトリソト膜25を除去する。これにより、ゲート電極21の上方にのみチャネル保護膜24が残存する。

【0041】

次に、ステップS19において、基板洗浄工程を実施する。そして、図14（

b) に示すように、マスタTFT基板10の上側にTFTのソース・ドレイン領域となるn型不純物をドーピングしたアモルファスシリコン膜26を約0.02~0.03 μm の厚さに形成する。その後、ステップS20において、シリコン膜26の上に厚さが0.05~0.1 μm のTi(チタン)膜、厚さが0.1~0.2 μm のAl(アルミニウム)膜、厚さが0.05~0.1 μm のTi膜を順次形成し、これらのTi膜、Al膜及びTi膜の積層構造からなる導電膜27を形成する。

【0042】

次いで、ステップS21において、マスタTFT基板10を1次カットして、図7(b)に示すように、4つのサブTFT基板10a~10dに分割する。そして、各サブTFT基板10a~10dに端面加工を施し、位置合わせ用のオリフラ(図7(b)に実線の円で示す)とコーナークット(図7(b)に破線の円で示す)とを設ける。

【0043】

これまでの工程は図6に示す第1の製造ライン16で実施し、これ以降の工程は、図6に示す第2の製造ライン17で実施する。また、これまでの工程においては、パターン形成時のマスク位置合わせは、マスタTFT基板10の四隅に設けられた基準マーク15を用いて行う。以下の工程ではサブTFT基板10aについての工程のみ説明するが、他のサブTFT基板10b~10dについても基本的に同じである。

【0044】

ステップS22において、1次カット後のサブTFT基板10aに対し基板洗浄工程を実施する。その後、ステップS23において、フォトリジストを使用して導電膜27の上に所定のパターンでレジスト膜(図示せず)を形成する。そして、ステップS24において、このレジスト膜をマスクとして導電膜27をエッチングし、図15(a)に示すように、TFTのソース電極、ドレイン電極及びこれらと同一配線層の配線(データライン等)を形成する。また、TFTのチャネルとなる領域の上のシリコン膜26をエッチングにより除去する。

【0045】

その後、ステップ S 25 において、基板洗浄工程を実施した後、ステップ S 26 において、図 15 (b) に示すように、サブ TFT 基板 10 a の上側に SiN_x からなる層間絶縁膜 28 を 0.3~0.4 μ m の厚さに形成する。そして、フォトリソトを使用して層間絶縁膜 28 の上にコンタクトホールパターンを有するレジスト膜 (図示せず) を形成し、ステップ S 27 において、該レジスト膜をマスクとして層間絶縁膜 28 をエッチングして、図 16 (a) に示すように、コンタクトホール 28 a を形成する。その後、レジスト膜を除去する。

【0046】

次に、ステップ S 28 において、基板洗浄工程を実施する。その後、ステップ S 29 において、サブ TFT 基板 10 a の上側に ITO 膜をスパッタ成膜する。そして、ステップ S 30 において、フォトリソトを使用して ITO 膜の上に所定のパターンのレジスト膜 (図示せず) を形成する。その後、ステップ S 31 において、レジスト膜をマスクとして ITO 膜をエッチングし、図 16 (b) に示すように画素電極 29 及び引出端子を形成する。その後、レジスト膜を除去する。なお、ステップ S 22 からステップ S 31 までの工程において、パターン形成時のマスク位置合わせは、サブマスタ基板 10 a の四隅に設けられた基準マーク 15 を使用して行う。

【0047】

次いで、ステップ S 32 において、基板洗浄工程を実施する。その後、ステップ S 33 において、画素電極 29 の上にポリイミドからなる配向膜 (図示せず) を 0.05~0.1 μ m の厚さに形成し、ステップ S 34 において、配向膜の表面を配向処理する。配向処理としては、布製のローラーにより配向膜の表面を一方向に擦るラビング処理が一般的である。なお、配向膜の材料や厚さ及び配向処理の方法は、製造する液晶パネルの仕様に合わせて適宜選択する。

【0048】

そして、ステップ S 35 において、サブ TFT 基板 10 a の上側にガラス又はプラスチックからなる球形又は円柱形のスペーサを散布し、ステップ S 36 において、CF 基板と貼合わせる (図 9 参照)。但し、後工程で TFT 基板 (サブ TFT 基板 10 a) と CF 基板との間に液晶を注入するために、液晶注入口を設け

ておくことが必要である。CF基板の形成方法は従来と同じであるので、ここでは説明を省略する。

【0049】

その後、ステップS37において、2次カット工程を実施する。すなわち、サブTFT基板10aを切断して所定のサイズの液晶パネルとする。

次いで、ステップS38において、サブTFT基板10aとCF基板との間に液晶を注入し、液晶注入口を樹脂で封止する。液晶の種類も、製造する液晶パネルの仕様に合わせて適宜選択する。このようにして、図9に示す構造の液晶パネルの製造が完了する。なお、図9のガラス基板41が図16(b)のサブTFT基板10aに対応し、図9のTFT42は図16(b)のゲート電極21、ゲート絶縁膜22、シリコン膜23、26により構成されるTFTに対応し、図9の画素電極45は図16(b)の画素電極29に対応している。

【0050】

本実施の形態においては、1枚のマスタTFT基板10を使用してサイズが異なる4種類の液晶パネルを製造する際に、画素毎のTFTを形成するアレイ工程までマスタTFT基板10の状態第1の製造ライン16を使用して実施し、その後、マスタTFT基板10を1次カットして4つのサブTFT基板10a～10dに分離する。そして、それ以降、CF基板を接合する工程まではサブTFT基板10a～10dの状態第2の製造ライン17を使用して実施する。

【0051】

このように、本実施の形態においては、マスタTFT基板の状態第1の製造ライン16で処理可能な大型の装置群からなる第1の製造ライン16を使用するのはアレイ工程までであり、その後の工程はマスタTFT基板の1/4のサイズの基板の処理が可能な第2の製造ライン17で実施する。従って、大型の装置が少なく済み、設備投資の費用が削減される。また、第2の製造ライン17として例えば前の世代の製造ラインを使用することができるので、設備の利用効率が高い。更に、1枚のマスタTFT基板を使用してサイズが異なる複数種類の液晶パネルを形成するので、各液晶パネルのサイズを適切に組み合わせることにより、マスタTFT基板の利用効率を向上させることができる。これらの効果が相俟って、本実施の形態に

においては、液晶パネルの製造コストを大幅に低減することができる。また、本実施の形態においては、1つのマスタTFT基板で製造する液晶表示パネルの種類を適切に選択することにより、生産性を落とすことなく、市場需要の変化に柔軟に対応することができる。

【0052】

また、本実施の形態においては、マスタTFT基板10の状態で行うマスク位置合わせにはマスタTFT基板10の四隅に設けられた基準マーク15を使用し、サブTFT基板10aの状態で行うマスク位置合わせにはサブTFT基板10aの四隅に設けられた基準マーク15を使用するので、位置合わせ精度が高い。例えば、従来のようにマスタガラス基板の状態でTFTや画素電極を形成する場合は、マスタガラス基板のシュリンケージ及び熱履歴により位置合わせ精度が低下してしまう。しかし、本実施の形態においては、ソース又はドレインと配線とのコンタクト部分や画素電極とTFTとのコンタクト部分など高い位置合わせ精度が要求される工程は、サブTFT基板の状態でサブTFT基板の四隅に設けられた基準マークを使用して行うので、位置合わせ精度を2～3 μ m以下とすることができる。すなわち、本発明方法を用いて製造した液晶表示装置においては、シュリンケージによる位置合わせ精度が、マスタガラス基板のシュリンケージ率及び加工時の熱履歴で見積もった値よりも小さくなる。

【0053】

なお、図6では第1の製造ライン16及び第2の製造ライン17がそれぞれ1つしか図示していないが、1つの第1の製造ライン16に対し複数の第2の製造ライン17を設けてもよいことは勿論である。

図17～図19は1つのマスタTFT基板を使用して製造する複数の液晶パネルの組み合わせの例を示す平面図である。図17は、上記の例と同様に、サイズが960×1000mmのマスタTFT基板10を使用し、マスタTFT基板10を4つのブロック11a～11dに区画して、ブロック11aには20型液晶パネルを形成するための1つのデバイス形成領域12a、ブロック11bには12型の液晶パネルを形成するための2つのデバイス形成領域12b、ブロック11cには10型の液晶パネルを形成するための4つのデバイス形成領域を設け、

ブロック 11d に投写型液晶パネルを形成するためのデバイス形成領域 12e を複数確保する。

【0054】

図 18 (a) は、850×1060mm のマスタ TFT 基板を使用して、16 型～23 型の液晶パネルを 4 個製造する場合の例、図 18 (b) は、850×1060mm スタ基板を使用して 13 型～15 型の液晶基板を 8 個製造する例、図 19 (a) は、850×1060mm のマスタ TFT 基板を使用して 12 型の液晶のパネルを 16 個製造する場合の例、図 19 (b) は、850×1060mm のマスタ TFT 基板を使用して 8.4 型の液晶パネルを 24 個製造する場合の例である。いずれの場合も、上述した第 1 の実施の形態と同様に、マスタ TFT 基板の状態であレイ工程までを実施し、図中破線で示す部分でマスタ TFT 基板を 1 次カットしてサブ TFT 基板に分割しする。そして、サブ TFT 基板の状態であ素電極及び配向膜等を形成した後、CF 基板を接合し、サブ TFT 基板 (TFT 基板) を 2 次カットして所定の液晶パネルサイズとする。その後、TFT 基板と CF 基板との間に液晶を封入する。

【0055】

(第 2 の実施の形態)

図 20 (a), (b) はいずれも本発明の第 2 の実施の形態の液晶パネルの製造方法を示す図である。

本実施の形態においては、マスタ TFT 基板 60 を 4 つのブロック 61a～61d に区画して、図 20 (a) に示す例では、各ブロック 61a～61d に、例えば 15 型のモニタ用液晶パネルを形成するデバイス形成領域 62 を 1 つと、2～3 型の携帯電話機用液晶パネルを形成するデバイス形成領域 63 を複数確保する。

【0056】

また、図 20 (b) に示す例では、各ブロック 61a～61d に、例えば 15 型のモニタ用液晶パネルを形成するデバイス形成領域 64 を 1 つと、6～8 型のモバイル機器用液晶パネルを形成するためのデバイス形成領域 65 を 2 つ確保する。

すなわち、第 1 の実施の形態では、製造する液晶パネルのサイズ毎にブロックを分けているのに対し、本実施の形態では、各ブロック 6 1 a ~ 6 1 d に異なるサイズの液晶パネルを 2 種類以上形成する。また、各ブロック 6 1 a ~ 6 1 d の構成は同じである。

【 0 0 5 7 】

本実施の形態においても、第 1 の実施の形態と同様に、第 1 の製造ライン（図 6 参照）を使用して、サイズが 9 6 0 × 1 0 0 0 mm のマスタ T F T 基板 6 0 の上に T F T となる導電膜、絶縁膜及び半導体膜を形成する。その後、1 次カット工程を実施して、マスタ T F T 基板 6 0 を図 2 0 (a) , (b) に破線で示す部分で切断し、サイズが 4 8 0 × 5 0 0 mm の 4 つのサブ T F T 基板に分割する。その後、第 2 の製造ラインを使用してその後の工程を実施する。そして、C F 基板を接合した後に 2 次カット工程を実施した後、T F T 基板と C F 基板との間に液晶を封入する。本実施の形態においても、第 1 の実施例と同様の効果が得られる。

【 0 0 5 8 】

(第 3 の実施の形態)

図 2 1 は本発明の第 3 の実施の形態の液晶パネルの製造方法の概要を示す平面図である。本実施の形態においては、マスタ T F T 基板 7 0 を 4 つのブロック 7 1 a ~ 7 1 d に区画し、ブロック 7 1 a には 2 0 型液晶パネルを形成するためのデバイス形成領域 7 2 a を 1 つ、ブロック 7 1 b には 1 2 ~ 1 5 型液晶パネルを形成するためのデバイス形成領域を 2 つ、ブロック 7 1 c には 1 0 ~ 1 1 型液晶パネルを形成するためのデバイス形成領域 7 1 c を 4 つ、ブロック 7 1 d には 1 . 8 型反射型投射パネルを形成するためのデバイス形成領域 7 2 d を多数確保する。ブロック 7 1 a ~ 7 1 c に形成する液晶表示パネルの構造は、図 9 に図示したものと同一である。

【 0 0 5 9 】

図 2 2 はブロック 7 1 d に形成する反射型投射パネルの平面図、図 2 3 は同じくその断面図である。ガラス基板 8 1 の上には S i O₂ からなる下地膜（図示せず）が形成されており、この下地膜上にはシリコン膜 8 2 が選択的に形成されて

いる。このシリコン膜 82 の上にはゲート絶縁膜（図示せず）を介してゲートライン 83 が形成されている。シリコン膜 82 とその上を通るゲートライン 83 とにより、1つの画素につき2つの TFT 92 が構成される。また、下地膜の上には SiO_2 及び SiN_x からなる層間絶縁膜 84 が形成されており、この層間絶縁膜 84 によりシリコン膜 82 及びゲートライン 83 が覆われている。層間絶縁膜 84 の上には Ti 及び Al 膜からなる電極 85 a 及び信号線 85 b が形成されており、電極 85 a は層間絶縁膜 84 に形成されたコンタクトホールを介してシリコン膜 82 に電氣的に接続されている。

【0060】

層間絶縁膜 84 の上には SiN_x からなる層間絶縁膜 86 が形成されており、この層間絶縁膜 86 により電極 85 a 及び信号線 85 b が覆われている。また、層間絶縁膜 86 の上には、Ti からなるコモン電極 87 が所定のパターンで形成されている。層間絶縁膜 86 の上には SiN_x からなる層間絶縁膜 88 が形成されており、その上には Ti からなる下部容量電極 89 が形成されている。

【0061】

更に、下部容量電極 89 の上には樹脂平坦化膜 90 が形成されており、樹脂平坦化膜 90 の上には Al からなる反射電極 91 が形成されている。

本実施の形態においては、第 1 の実施の形態と同様に、TFT 92 の導電膜（ゲートライン 83 及び電極 85 a）、絶縁膜（ゲート絶縁膜）及び半導体膜（シリコン膜 82）を形成するまでの工程はマスタ TFT 基板の状態を実施する。そして、1次カット工程でマスタ TFT 基板を各ブロック 71 a～71 d 毎に切断して各サブ TFT 基板に分離した後、ブロック 71 a～71 c のサブ TFT 基板については、第 1 の実施の形態と同様の工程を経て、液晶パネルを製造する。また、反射型投射パネルについては、サブ TFT 基板加工工程において、基板（サブ TFT 基板）81 の上に層間絶縁膜 86、コモン電極 87、層間絶縁膜 88、下部容量電極 89、平坦化膜 90 及び反射電極 91 を順次形成する。

【0062】

本実施の形態に示すように、本発明においては、サブ TFT 基板に分離した後、に製造するデバイスに応じた処理を実施し、構造が異なるデバイスを製造するこ

とができる。

(第4の実施の形態)

図24は本発明の第4の実施の形態の液晶パネルの製造方法により製造する液晶パネルを示す模式図である。

【0063】

図24に示すように、本実施の形態で製造する液晶パネル100には、マトリクス状に配置された複数(図では1つのみ図示)の画素101と、特定の画素101に所定のタイミングで表示データを供給する走査ライン105及びデータライン106とが形成されている。各画素101は、直列接続された2つの低温ポリシリコンTFT102と、画素電極、対向電極及びこれらの間の液晶とにより構成される透過光量制御部103と、補助容量104とにより構成されている。また、画素101がマトリクス状に配置された表示領域の外側には、p型TFT及びn型TFTにより構成される内蔵型ゲートドライバ107及び内蔵型データドライバ108と、静電防止／リペア回路109及び入力端子110が形成されている。

【0064】

なお、低温プロセスでTFTを形成する場合は、基板として安価なガラス板を使用することができるという利点がある。また、アモルファスシリコンTFTに比べてポリシリコンTFTは駆動能力が高く小型化ができるので、開口率が向上して明るい画像が得られるという利点もある。更に、アモルファスシリコンTFTの場合は駆動速度が遅いので、駆動用ICを別途用意して液晶パネルと接続する必要があったが、ポリシリコンTFTは駆動速度が速いので、駆動(ドライバ)回路をガラス基板上に形成することができるという利点がある。

【0065】

図25は本実施の形態の液晶パネルの製造方法の概要を示す平面図である。本実施の形態においても、サイズが960×1000mmのマスタTFT基板120を使用し、このマスタTFT基板120を4つのブロック121a～121dに区画し、ブロック121a、121bには例えば16型の駆動回路内蔵型液晶パネル122aを形成するデバイス形成領域をそれぞれ1つ、ブロック121c

、121dには例えば5型の駆動回路内蔵型液晶パネル122bを形成するデバイス形成領域をそれぞれ4つ確保する。また、本実施の形態においても、図6に示すように、マスタTF T基板を処理する第1の製造ライン16と、1次カット後のサブTF T基板を処理する第2の製造ライン17とを使用する。

【0066】

図26～図29は本実施の形態の液晶パネルの製造方法を示すフローチャートであり、図26、図27はマスタTF T基板の状態で行う工程を示し、図28、図29はサブTF T基板の状態で行う工程を示している。また、図30～図33は周辺回路（データドライバ及び走査ドライバ）のp型TF T及びn型TF T、並びに画素内のn型TF Tの部分における断面を製造工程順に示す図である。

【0067】

まず、図26のフローチャートのステップS51において、図30(a)に示すように、マスタTF T基板120の表面を洗浄する基板洗浄工程を実施した後、マスタTF T基板120の上に下地膜（図示せず）としてSiO₂を0.2～0.3μmの厚さに形成する。なお、下地膜として、SiNを0.05μmの厚さに形成し、その上にSiO₂を0.2μmの厚さに形成してもよい。その後、下地膜の上にアモルファスシリコン膜131を0.03～0.05μmの厚さに形成する。

【0068】

次に、ステップS52において、図30(b)に示すように、アモルファスシリコン膜131にレーザ光を照射し、アモルファスシリコンをポリシリコンに変化させて、ポリシリコン膜132を得る。本実施の形態では、波長が308nmのXeClエキシマレーザを使用し、図25に示すように矩形のレーザビーム125をそのビームの長手方向に直交する方向にスキャンする。本実施の形態では、レーザビーム125のスキャン方向（図中、矢印で示す）に対して、各液晶パネル122a、122bの向きが同じとなるようにする。つまり、図25に示すように各液晶パネル122a、122bの周辺回路（ゲートドライバ及びデータドライバ）、データライン及び走査ラインの向きが各液晶パネルで同じとなるようにする。このように各液晶パネルの向きを一致させることで、パネル間のシリ

コンの結晶性のばらつきを低減し、歩留まりと表示性能とを向上させることができる。特に、レーザスキャン縞模様の抑制に効果がある。また、外部回路で表示特性を補正する場合でも補正が容易になる。

【 0 0 6 9 】

次に、ステップ S 5 3 において、フォトリジストを使用してポリシリコン膜 1 3 2 の上に所定パターンのレジスト膜（図示せず）を形成し、ステップ S 5 4 において、レジスト膜をマスクとしてポリシリコン膜 1 3 2 をエッチングし、図 3 0 (c) に示すように、マスタ TFT 基板 1 2 0 上にポリシリコン膜 1 3 2 を選択的に残す。その後、レジスト膜を除去する。

【 0 0 7 0 】

次に、ステップ S 5 6 において、図 3 0 (d) に示すように、プラズマ CVD 法により、マスタ TFT 基板 1 2 0 の上側全面に SiO_2 からなるゲート絶縁膜 1 3 3 を $0.1 \sim 0.15 \mu\text{m}$ の厚さで形成する。なお、ゲート絶縁膜としては、 SiO_2 と SiN との 2 層構造としてもよい。この場合、例えば SiO_2 の厚さを $0.09 \mu\text{m}$ とし、 SiN の厚さを $0.03 \mu\text{m}$ とする。 SiN の厚さはゲート絶縁膜全体の厚さの $1/4$ 程度とすることが好ましい。そして、ステップ S 5 7 において、スパッタ装置を使用し、ゲート絶縁膜 1 3 3 の上に、ゲート電極となる AlNd （アルミニウム－ネオジム）膜を $0.3 \sim 0.4 \mu\text{m}$ の厚さに形成する。

【 0 0 7 1 】

次に、ステップ S 5 8 において、 AlNd 膜の上にフォトリジスト膜（図示せず）を形成し、該フォトリジスト膜を露光及び現像処理して、所定のゲートパターン形状にパターニングする。その後、ステップ S 5 9 において、図 3 1 (a) に示すように、 AlNd 膜をエッチングしてレジスト膜の下方の部分にのみ AlNd 膜を残存させ、ゲート電極 1 3 4 を形成する。そして、ステップ S 6 0 において、レジスト膜を除去する。

【 0 0 7 2 】

次に、ステップ S 6 1 において、図 3 1 (b) に示すように、シリコン膜 1 3 2 のうち n 型 TFT のソース・ドレインとなる領域 1 3 2 a に n 型不純物を高濃

度に導入する。また、ステップS 62において、シリコン膜132にn型不純物を低濃度に導入する。その後、ステップS 63において、フォトレジストを使用してゲート絶縁膜133の上に所定のパターンのマスクを形成し、ステップS 64において、このマスクの開口部を介してシリコン膜132のうちのp型TFTのソース・ドレインとなる領域132bにp型不純物を導入する。その後、ステップS 65においてマスクを除去した後、ステップS 66において熱処理を施して、不純物を活性化する。このようにして、表示領域のn型TFTと、周辺回路部のp型TFT及びn型TFTを使用した所定の回路（データドライバ及び走査ドライバ）を形成する。

【0073】

次に、ステップS 67において、図31(c)に示すように、マスタTFT基板120の上側全面に SiN_x 及び SiO_2 を順次堆積させて、層間絶縁膜135を形成する。ここまでの工程は、図6に示す第1の製造ライン16を使用して実施する。

次に、ステップS 68において、マスタTFT基板120を1次カットし、4つのサブTFT基板に分割する。そして、各サブTFT基板に端面加工を施し、オリフラ及びコーナーカットを形成する（図7参照）。これ以降は、図6の第2の製造ライン17により処理する。以下、4つに分割されたうちの1つのサブTFT基板120aの処理についてのみ説明するが、他のサブTFT基板についても同様に処理を行う。

【0074】

次に、ステップS 69において、サブTFT基板洗浄工程を実施する。そして、ステップS 70において、サブTFT基板120a上の層間絶縁膜85の上にフォトレジストを使用して所望のコンタクトホールのパターンを有するマスク形成し、ステップS 71において、図32(a)に示すように、層間絶縁膜135をエッチングしてコンタクトホール135aを形成する。その後、ステップS 72において、マスクを除去する。

【0075】

次に、ステップS 73において、サブTFT基板120aを洗浄する基板洗浄

工程を実施する。そして、ステップS74において、サブTFT基板120aの上側にTi、Al及びTiを順次堆積させて、コンタクトホール135aをこれらの金属で埋め込むとともに、層間絶縁膜135の上に導電膜を形成する。

次に、ステップS75において、導電膜の上にフォトリソを塗布し、露光及び現像処理を施して、配線パターンを形成する。そして、ステップS76において、フォトリソをマスクとして導電膜をエッチングし、図32(b)に示すように、層間絶縁膜135の上に配線及び電極136を形成する。その後、ステップS77において、フォトリソ膜を除去する。

【0076】

次に、ステップS78において、サブTFT基板120aを洗浄する基板洗浄工程を実施する。そして、ステップS79において、図33(a)に示すように、サブTFT基板120aの上側全面にプラズマCVD法によりSiN_xからなる層間絶縁膜137を形成する。

その後、ステップS80において、フォトリソを使用して層間絶縁膜137の上に所定のコンタクトホールパターンを有するマスク（図示せず）を形成する。そして、ステップS81において、層間絶縁膜137をエッチングしてコンタクトホール137aを形成する。その後、ステップS82において、レジスト膜を除去する。

【0077】

次に、ステップS83において、サブTFT基板120aを洗浄する基板洗浄工程を実施した後、ステップS84において、スパッタ装置を使用し、サブTFT基板120aの上側に画素電極となるITO膜を形成する。そして、ステップS85において、フォトリソを使用して、ITO膜の上に所定の画素電極パターンのレジスト膜を形成する。

【0078】

次に、ステップS86において、レジスト膜をマスクとしてITO膜をエッチングし、図33(b)に示すように、画素電極138を形成する。その後、ステップS87において、レジストを除去する。

次いで、第1の実施の形態と同様に、画素電極138の上に配向膜を形成し、

該配向膜の表面をラビング処理する。そして、配向膜の上にスペーサを散布し、従来方法と同様にして形成したCF基板と貼合わせる。その後、2次カットして各液晶パネルを相互に分離する。その後、TFT基板とCF基板との間に液晶を封入する。

【0079】

本実施の形態においても、第1の製造ライン16（図6参照）を使用し、マスタTFT基板120の状態ではTFTを形成し、その後1次カット工程においてマスタTFT基板120を複数のサブTFT基板に切断する。これらのサブTFT基板の状態では第2の製造ライン17を使用してCF基板と貼合わせる工程まで実施し、その後、2次カットして各液晶パネルに分離する。本実施の形態においても、第1の実施の形態と同様の効果が得られる。

【0080】

（第5の実施の形態）

図34は本発明の第5の実施の形態の液晶パネルの製造方法を示す図である。

本実施の形態においては、マスタTFT基板140を4つのブロック141a～141dに区画し、各ブロック141a～141dにそれぞれ2次元非密着型イメージセンサ（デジタルカメラ）142を有する液晶パネル143を1つずつ形成する。

【0081】

図35は、液晶パネル143に内蔵する2次元イメージセンサ142の断面図である。イメージセンサ形成領域では、ガラス基板150の上にシリコン膜151、ゲート絶縁膜152、ゲート電極153が形成されており、これらによりTFTが構成されている。ゲート絶縁膜152上には SiO_2 及び SiN_x からなる層間絶縁膜154が形成されており、その上にはソース・ドレイン電極155が形成されている。これらのソース・ドレイン電極155は、層間絶縁膜154に設けられたコンタクトホールを介してシリコン膜151のソース・ドレイン領域に接続されている。層間絶縁膜154上には SiN_x からなる層間絶縁膜156が形成されており、該層間絶縁膜156によりソース・ドレイン電極155が覆われている。層間絶縁膜156の上にはセンサセル電極157が形成されてお

り、その上にはアモルファスシリコンからなる光電変換層 158 が形成されている。そして、光電変換層 158 の上には ITO からなる共通透明電極 159 が形成されている。

【0082】

この図 35 からわかるように、イメージセンサ 142 も TFT を形成するまでの工程は基本的に液晶パネルを形成する工程と同じである。そこで、本実施の形態においては、第 1 の実施の形態と同様に、マスタ TFT 基板の状態を表示領域及びイメージセンサの TFT となる導電膜、絶縁膜及び半導体膜を形成し、1 次カット工程でマスタ TFT 基板を切断して 4 つのサブ TFT 基板に分割する。その後、サブ TFT 基板の上に SiO_2 からなる層間絶縁膜 156 を 0.5~1.0 μm の厚さで形成する。層間絶縁膜 156 は、ポリイミド等の樹脂を 1.5~2.0 μm の厚さにコートすることにより形成してもよい。

【0083】

次に、層間絶縁膜 156 にコンタクトホールを選択的に形成した後、Ti などからなるセンサセル電極 157 を 0.1~0.2 μm の厚さに形成する。その後、プラズマ CVD (PECVD (Plasma Enhanced Chemical Vapor Deposition)) 法によりアモルファスシリコンからなる光電変換層 158 を 0.5~2.0 μm の厚さに形成し、その上に ITO からなる共通透明電極 159 を 0.05~0.1 μm の厚さに形成する。その後、第 1 の実施の形態と同様に、サブ TFT 基板 (TFT 基板) に CF 基板を接合し、2 次カット工程を実施してサブ TFT 基板を所定のパネルサイズに切断する。その後、TFT 基板と CF 基板との間に液晶を封入する。

【0084】

これにより、2 次元非接触型イメージセンサを有する液晶パネルを効率よく形成することができる。

サブ TFT 基板加工工程で実施する工程数が少なく、フォトリソグラフィ工程の精度に対しては高い精度が要求されない場合、マスタ TFT 基板の状態でセル電極 157 や光電変換層 158 を形成するよりも、サブ TFT 基板の状態でセル電極 157 や光電変換層 158 を形成するほうが、投資額と製造コストの削減の

面とで有利である。

【0085】

例えば、イメージセンサ142の光電変換層158は厚さが0.2～2.0 μ mのアモルファスシリコンにより形成される。このようにアモルファスシリコン膜を比較的厚く形成する場合は、枚葉型PECVD成膜装置で形成するのは効率が極めて悪い。従って、本実施の形態では、第1次カット工程後にバッチ型PECVD装置を用いて、アモルファスシリコン膜を形成する。このようにバッチ型PECVD装置を使用して同時に複数のサブTFT基板の上にアモルファスシリコン膜を成膜することにより、製造効率が向上する。マスタTFT基板の状態でバッチ型PECVD装置を使おうとすると大型のPECVD装置が必要になり、設備投資額が極めて高くなる。従って、厚いシリコン膜を形成しようとする場合は、本実施の形態のように、1次カット後に形成することが好ましい。

【0086】

図36は第5の実施の形態を1次元密着型イメージセンサ（スキャナー）内蔵液晶パネルの製造に適用した例を示す平面図である。この場合も、図36に示すように、マスタTFT基板140を4つのブロック141a～141dに区画し、各ブロック141a～141dにそれぞれ1次元密着型イメージセンサ147を内蔵した液晶パネル148の形成領域を確保する。

【0087】

そして、第1の製造ラインを使用してアレイ工程を実施し、マスタTFT基板140の上にTFTとなる導電膜、絶縁膜及び半導体膜を形成する。その後、マスタTFT基板140を1次カットして4つのサブTFT基板に分割し、第2の製造ラインを使用して各サブTFT基板に1次元密着型イメージセンサ、画素電極及び配向膜等を形成し、CF基板を接合する。その後、サブTFT基板を2次カットして所定の液晶パネルのサイズとし、TFT基板（サブTFT基板）とCF基板との間に液晶を封入する。このようにして、1次元密着型イメージセンサ内蔵液晶パネルを製造することができる。

【0088】

太陽電池内蔵液晶パネル、1次元密着型イメージセンサ又は2次元密着型イメ

ー ジセンサ内蔵液晶パネル、1次元非密着型イメージセンサ又は2次元非密着型イメージセンサ内蔵液晶パネル、光通信受光センサ内蔵のインテリジェントパネルなどの場合、光電変換素子を上層部に形成する。このようなセンサ内蔵液晶パネルを形成する場合、本実施の形態のように1次カット工程後のサブTFT基板加工工程において光電変換素子を形成することにより、センサ内蔵液晶パネルを効率よく形成することができる。本実施の形態は、非密着型2次元イメージセンサ（デジタルカメラ）内蔵PCや、密着型ラインセンサ（スキャナー）を内蔵したコピー機能付き携帯情報機器等の製造に適用できる。

【0089】

【発明の効果】

以上説明したように、本発明の液晶パネルの製造方法によれば、マスタTFT基板の状態で行われるTFT工程を実施し、その後1次カット工程でマスタTFT基板を複数のサブTFT基板に切断して、各サブTFT基板に製造しようとするデバイスに応じた加工を実施するので、1枚のマスタTFT基板を使用して異なる仕様の液晶パネルを製造することができる。また、1枚のマスタTFT基板を使用して製造する液晶パネルの組み合わせを適切に選択することにより、有効基板利用率を向上されることができるとともに、市場需要の変化に容易に対応することができる。

【0090】

また、本発明においては、第1の製造ラインを使用してマスタTFT基板の上にTFTとなる導電膜、絶縁膜及び半導体膜を形成し、1次カット工程でマスタTFT基板をサブTFT基板に切断した後、第2の製造ラインを使用してサブTFT基板を加工する。このため、第1の製造ラインには大型の装置が必要であるものの、第2の製造ライン比較的小型の前の世代の装置を使用することができる。従って、設備投資の費用を削減することができる。

【図面の簡単な説明】

【図1】

図1は、各世代のマスタTFT基板の大きさの比較を示す平面図である。

【図2】

図 2 は、各世代のパネルサイズと面取り数を示す平面図（その 1）である。

【図 3】

図 3 は、各世代のパネルサイズと面取り数を示す平面図（その 2）である。

【図 4】

図 4 は、第 3 期製造ラインのパネルサイズと面取り数との関係を示す平面図である。

【図 5】

図 5 は、本発明の第 1 の実施の形態の液晶パネルの製造方法の概要を示す平面図である。

【図 6】

図 6 は、本発明の液晶パネルの製造システムを示す模式図である。

【図 7】

図 7（a）はマスタ T F T 基板を示す平面図、図 7（b）はサブ T F T 基板を示す平面図である。

【図 8】

図 8 は、第 1 の実施の形態の液晶パネルの製造方法により製造する液晶パネルを示す模式図である。

【図 9】

図 9 は、第 1 の実施の形態の液晶パネルの製造方法により製造する液晶パネルの断面図である。

【図 1 0】

図 1 0 は、本発明の第 1 の実施の形態の液晶パネルの製造方法を示すフローチャート（その 1）である。

【図 1 1】

図 1 1 は、本発明の第 1 の実施の形態の液晶パネルの製造方法を示すフローチャート（その 2）である。

【図 1 2】

図 1 2 は、本発明の第 1 の実施の形態の液晶パネルの製造方法を示すフローチャート（その 3）である。

【図 1 3】

図 1 3 は、本発明の第 1 の実施の形態の液晶パネルの製造方法を示す断面図（その 1）である。

【図 1 4】

図 1 4 は、本発明の第 1 の実施の形態の液晶パネルの製造方法を示す断面図（その 2）である。

【図 1 5】

図 1 5 は、本発明の第 1 の実施の形態の液晶パネルの製造方法を示す断面図（その 3）である。

【図 1 6】

図 1 6 は、本発明の第 1 の実施の形態の液晶パネルの製造方法を示す断面図（その 4）である。

【図 1 7】

図 1 7 は、1 つのマスタ T F T 基板を使用して製造する複数の液晶パネルの組み合わせの例（その 1）を示す平面図である。

【図 1 8】

図 1 8 は、1 つのマスタ T F T 基板を使用して製造する複数の液晶パネルの組み合わせの例（その 2）を示す平面図である。

【図 1 9】

図 1 9 は、1 つのマスタ T F T 基板を使用して製造する複数の液晶パネルの組み合わせの例（その 3）を示す平面図である。

【図 2 0】

図 2 0（a），（b）は、いずれも本発明の第 2 の実施の形態の液晶パネルの製造方法を示す平面図である。

【図 2 1】

図 2 1 は、本発明の第 3 の実施の形態の液晶パネルの製造方法の概要を示す平面図である。

【図 2 2】

図 2 2 は、第 3 の実施の形態の反射型投射パネルの平面図である。

【図 2 3】

図 2 3 は、同じくその反射型投射パネルの断面図である。

【図 2 4】

図 2 4 は本発明の第 4 の実施の形態の液晶パネルの製造方法により製造する液晶パネルを示す模式図である。

【図 2 5】

図 2 5 は、第 4 の実施の形態の液晶パネルの製造方法の概要を示す平面図である。

【図 2 6】

図 2 6 は、第 4 の実施の形態の液晶パネルの製造方法を示すフローチャート（その 1）である。

【図 2 7】

図 2 7 は、第 4 の実施の形態の液晶パネルの製造方法を示すフローチャート（その 2）である。

【図 2 8】

図 2 8 は、第 4 の実施の形態の液晶パネルの製造方法を示すフローチャート（その 3）である。

【図 2 9】

図 2 9 は、第 4 の実施の形態の液晶パネルの製造方法を示すフローチャート（その 4）である。

【図 3 0】

図 3 0 は、第 4 の実施の形態の液晶パネルの製造方法を示す断面図（その 1）である。

【図 3 1】

図 3 1 は、第 4 の実施の形態の液晶パネルの製造方法を示す断面図（その 2）である。

【図 3 2】

図 3 2 は、第 4 の実施の形態の液晶パネルの製造方法を示す断面図（その 3）である。

【図 33】

図 33 は、第 4 の実施の形態の液晶パネルの製造方法を示す断面図（その 4）である。

【図 34】

図 34 は、本発明の第 5 の実施の形態の液晶パネルの製造方法を示す平面図である。

【図 35】

図 35 は、第 5 の実施の形態の液晶パネルに内蔵する 2 次元イメージセンサの断面図である。

【図 36】

図 36 は、第 5 の実施の形態を 1 次元密着型イメージセンサ内蔵液晶パネルの製造に適用した例を示す平面図である。

【符号の説明】

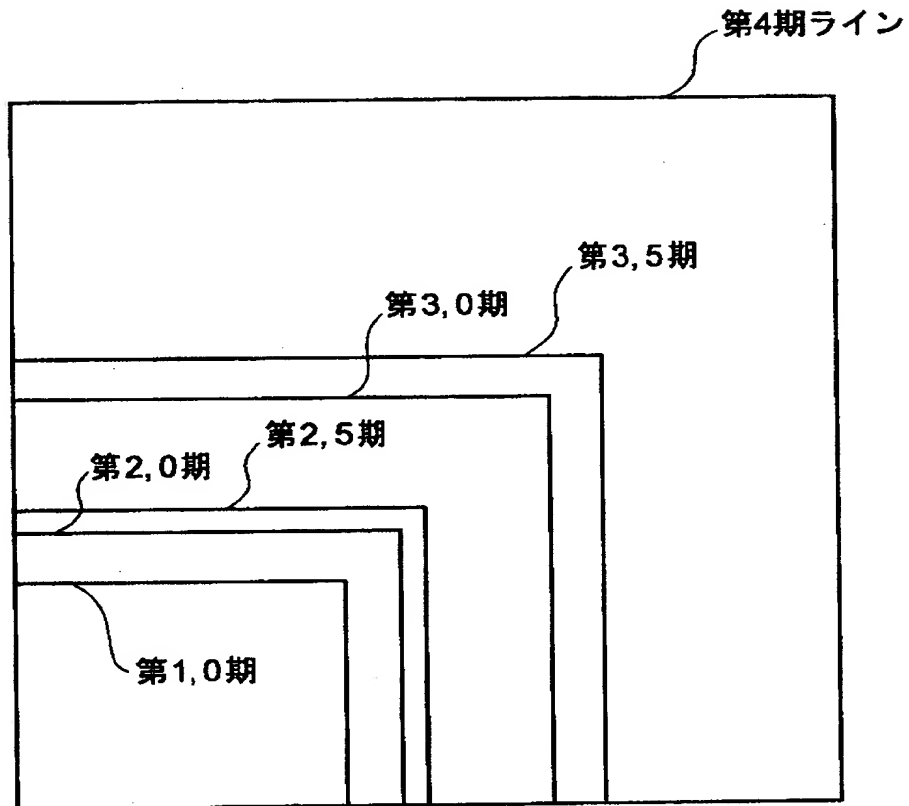
10, 60, 70, 120, 140 マスタ TFT 基板、
10a~10d, 120a, サブ TFT 基板、
11a~11d, 61a~61d, 71a~71d, 121a~121d, 141a~141d ブロック、
12a~12d, 62~65, 72a~72d デバイス形成領域、
16 第 1 の製造ライン、
17 第 2 の製造ライン、
21, 134, 153 ゲート電極、
23, 26, 131 アモルファスシリコン膜、
29, 45 画素電極、
30, 100, 143 液晶パネル、
32, 42, 92, 102 TFT、
35, 105 データライン、
36, 106 走査ライン、
37 ゲートドライバ用 LSI、
38 データドライバ用 LSI、

4 0 T F T 基板、
4 1, 5 1, 8 1, 1 5 0 ガラス基板、
4 7, 5 6 配向膜、
4 8, 5 7 偏光板、
4 9 液晶、
5 0 C F 基板、
5 2 ブラックマトリクス、
5 3 カラーフィルタ、
5 5 対向電極、
5 9 シール材、
8 2, 1 5 1 シリコン膜、
8 3 ゲートライン、
8 7 コモン電極、
8 9 下部容量電極、
9 0 平坦化膜、
9 1 反射電極、
1 0 7 ゲートドライバ、
1 0 8 データドライバ、
1 2 2 a, 1 2 2 b 駆動回路内蔵型液晶パネル、
1 2 5 レーザビーム、
1 4 2 2 次元イメージセンサ、
1 5 7 センサセル電極、
1 5 8 光電変換層、
1 5 9 共通透明電極。

【書類名】 図面

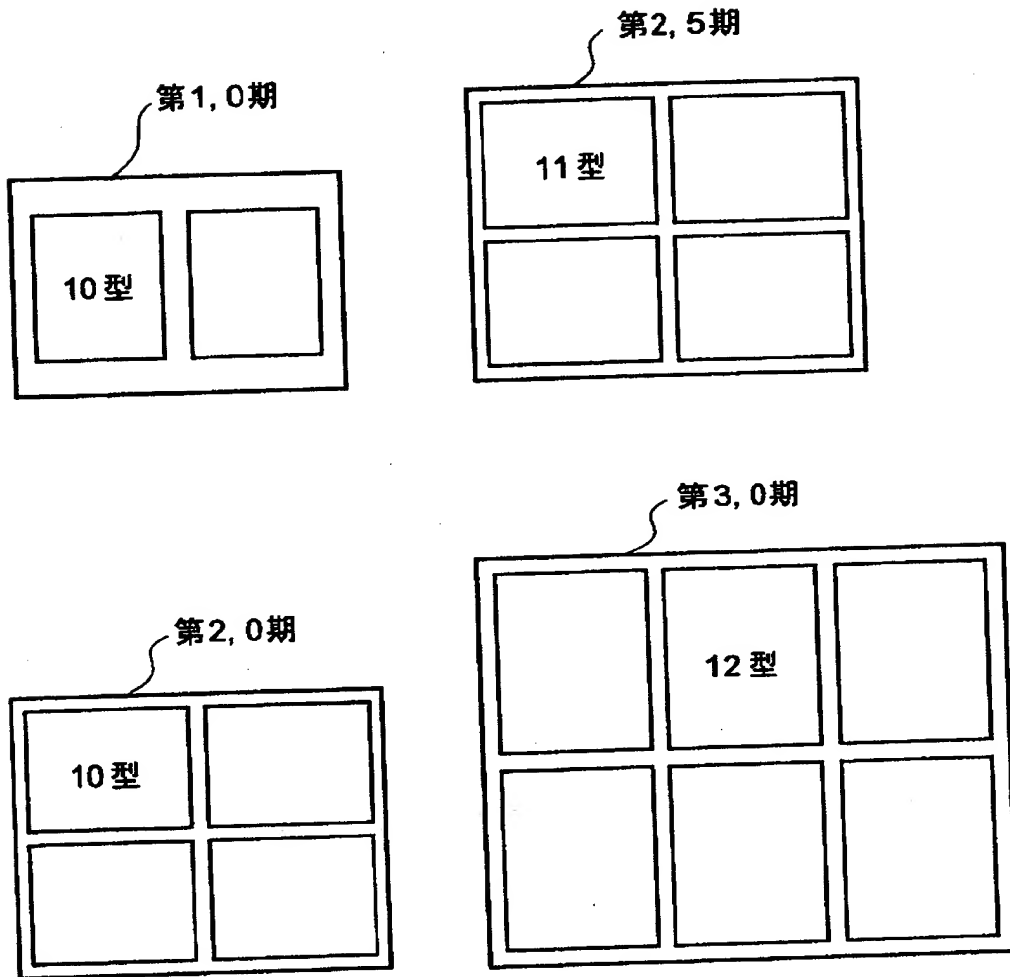
【図 1】

液晶製造ライン世代別の基板サイズの比較



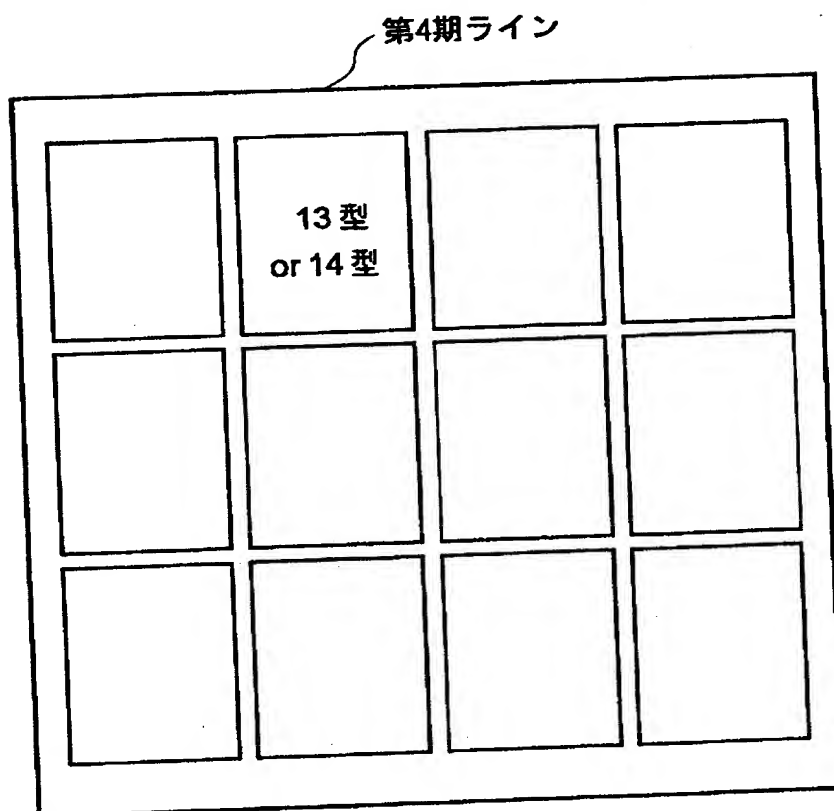
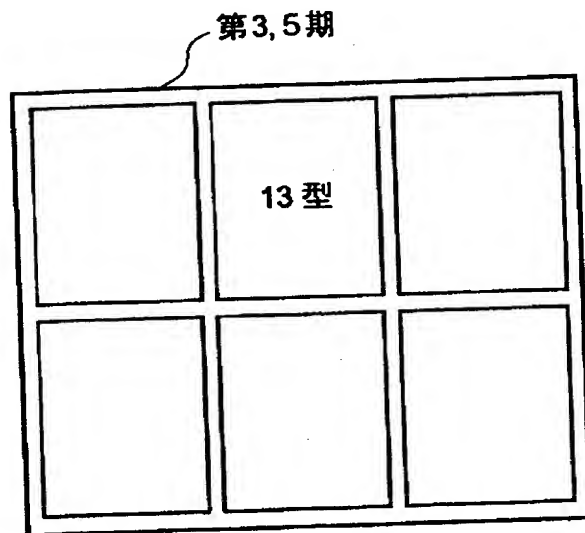
【図 2】

各世代のパネルサイズと面取り数（その1）



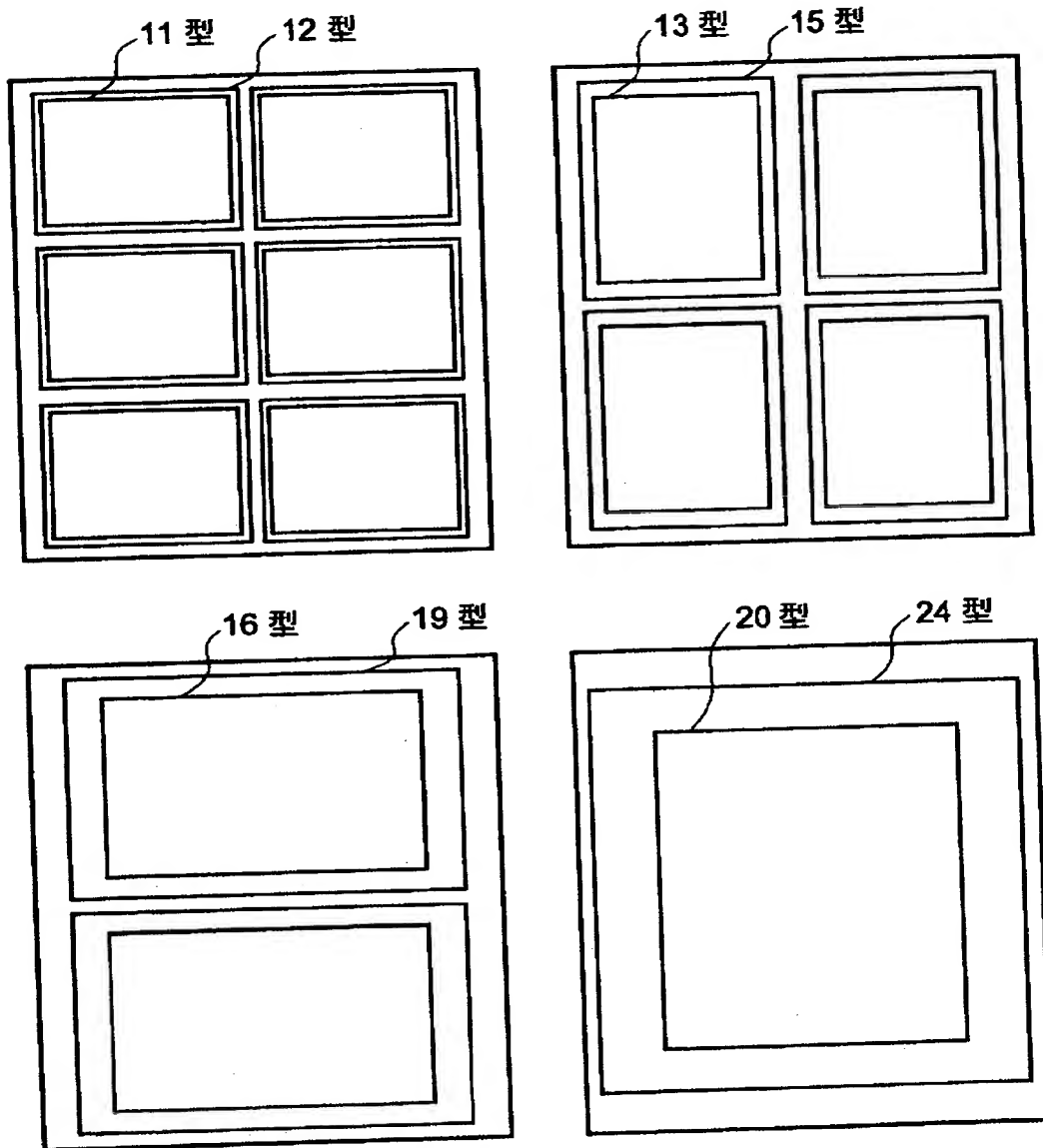
【図3】

パネルサイズと面取り数（その2）



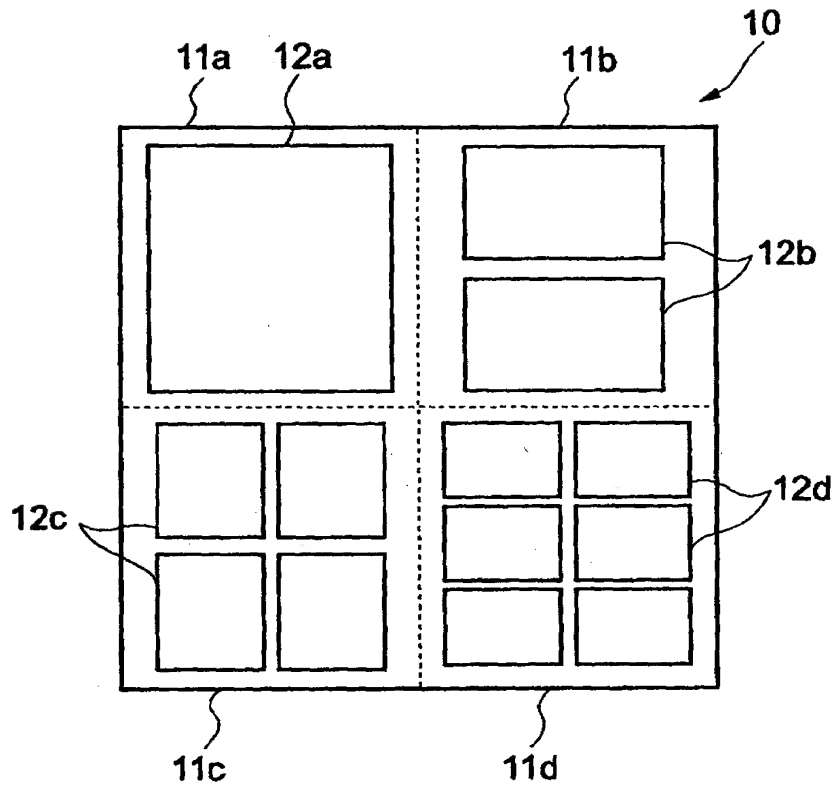
【図 4】

第3期製造ラインのパネルサイズと面取り数



【図 5】

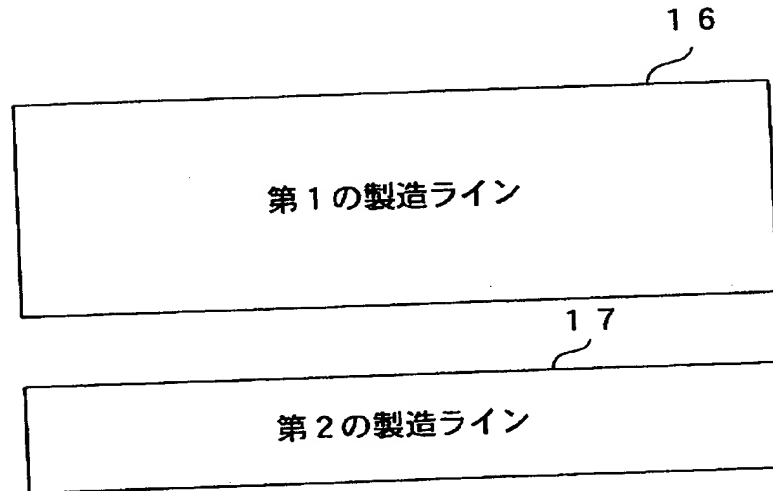
第1の実施の形態の概要



10: マスタTFT基板
 11a~11d: ブロック
 12a~12d: デバイス形成領域

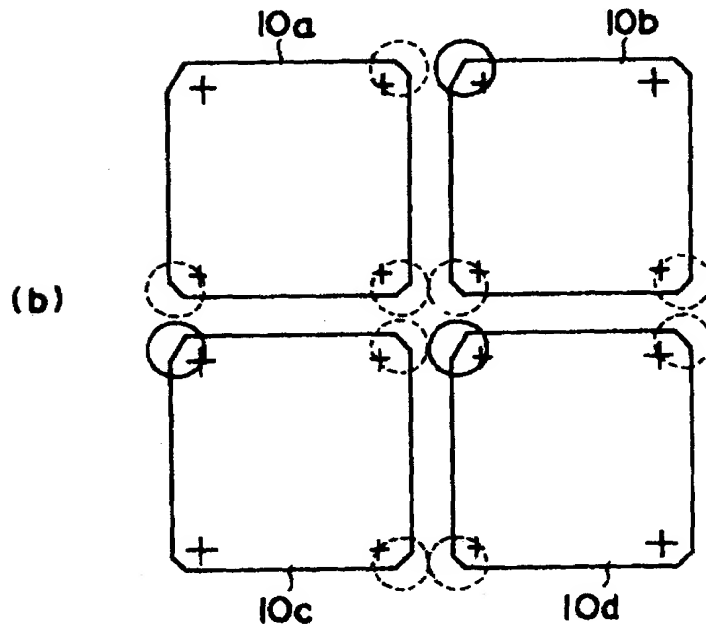
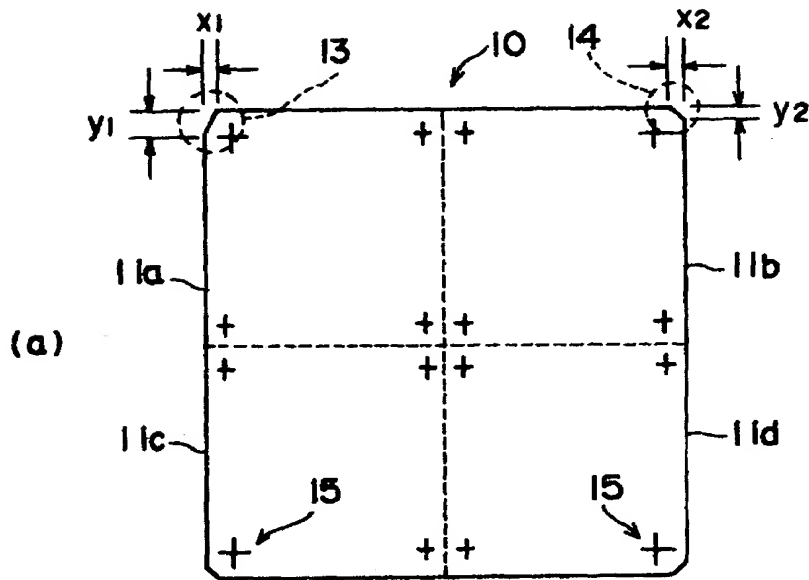
【図 6】

本発明の液晶パネルの製造システム



【図 7】

第 1 の実施の形態のマスタ T F T 基板及びサブ T F T 基板

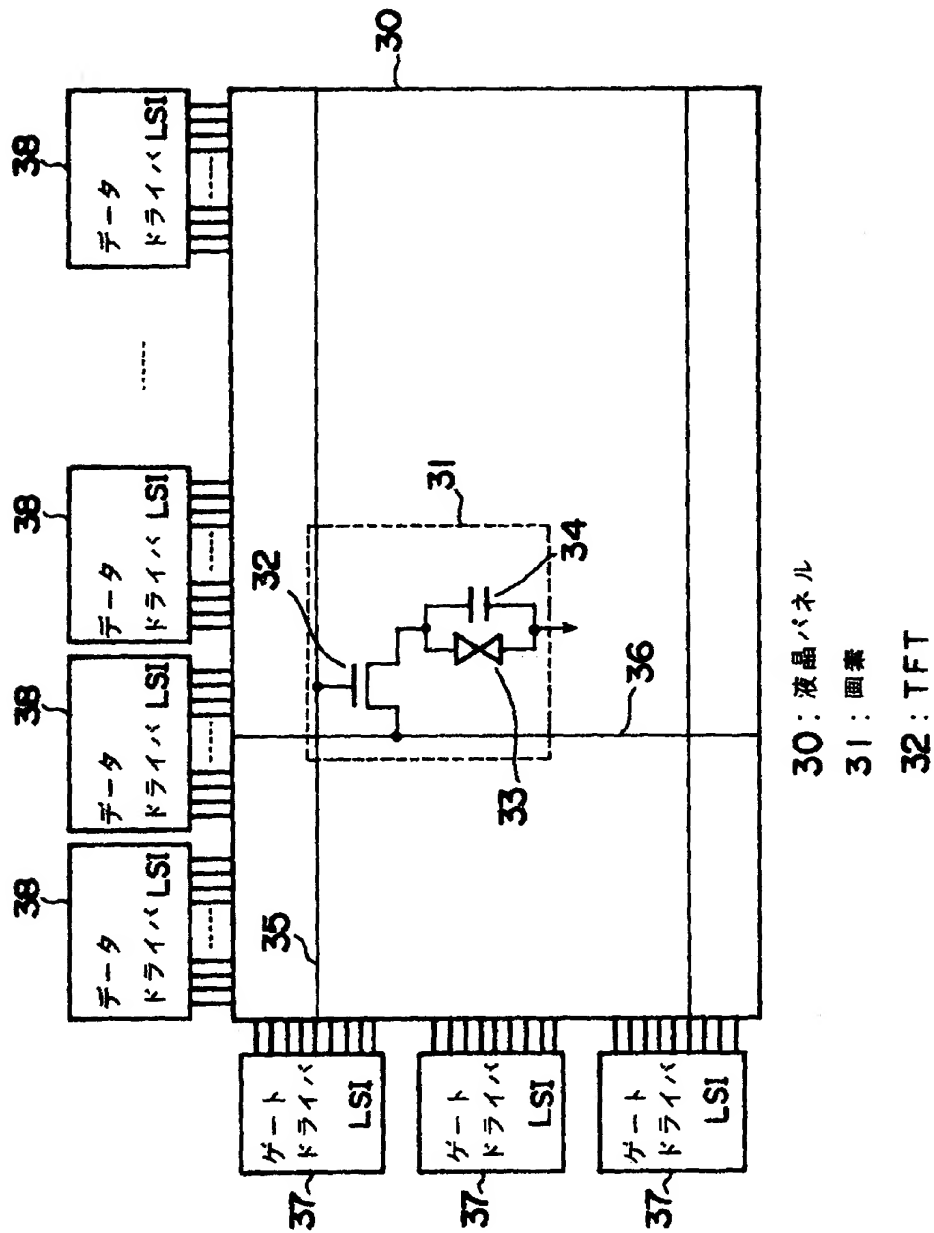


10: マスタ T F T 基板

10a~10d: サブ T F T 基板

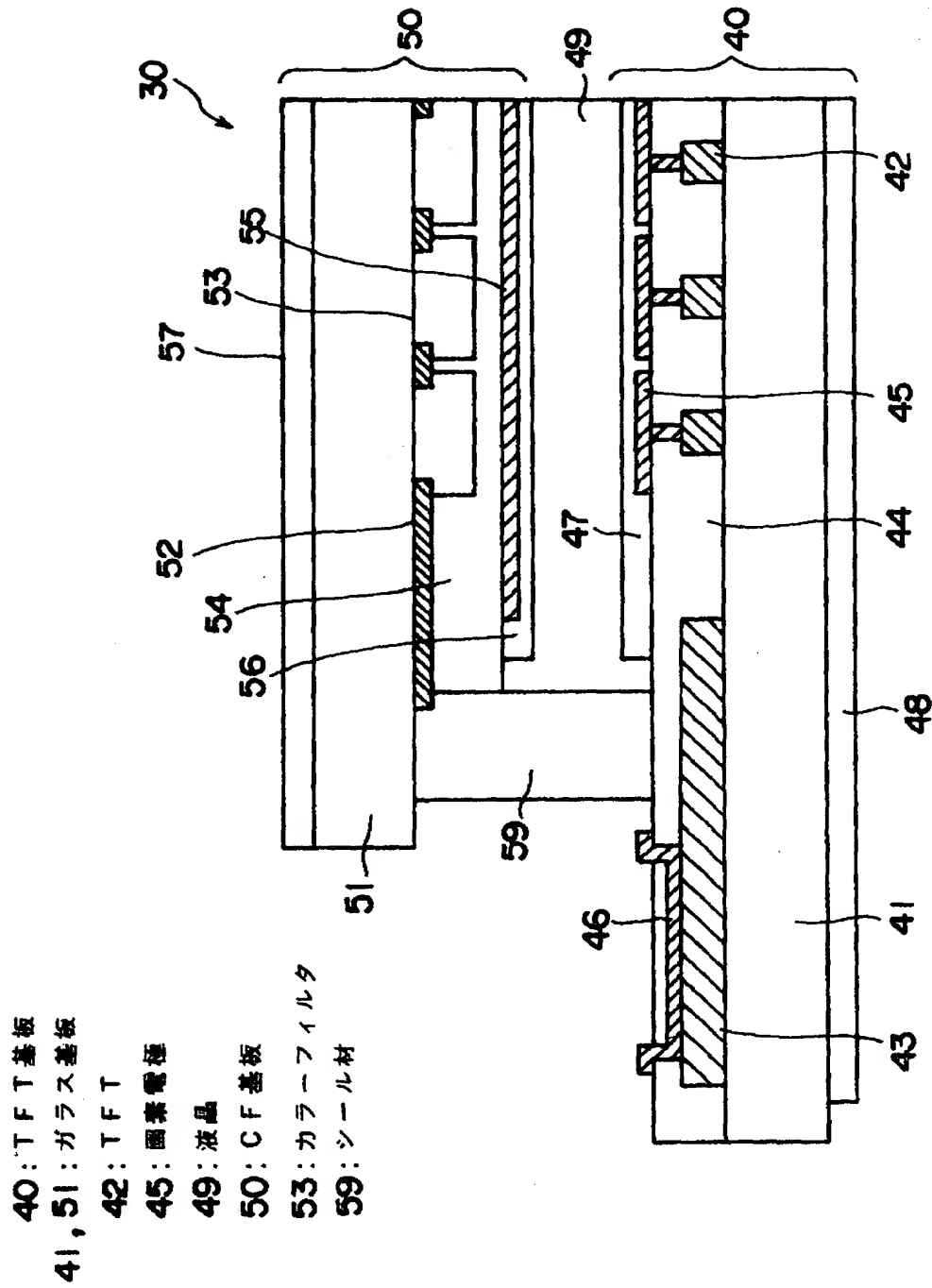
【図 8】

第 1 の実施の形態の液晶パネル



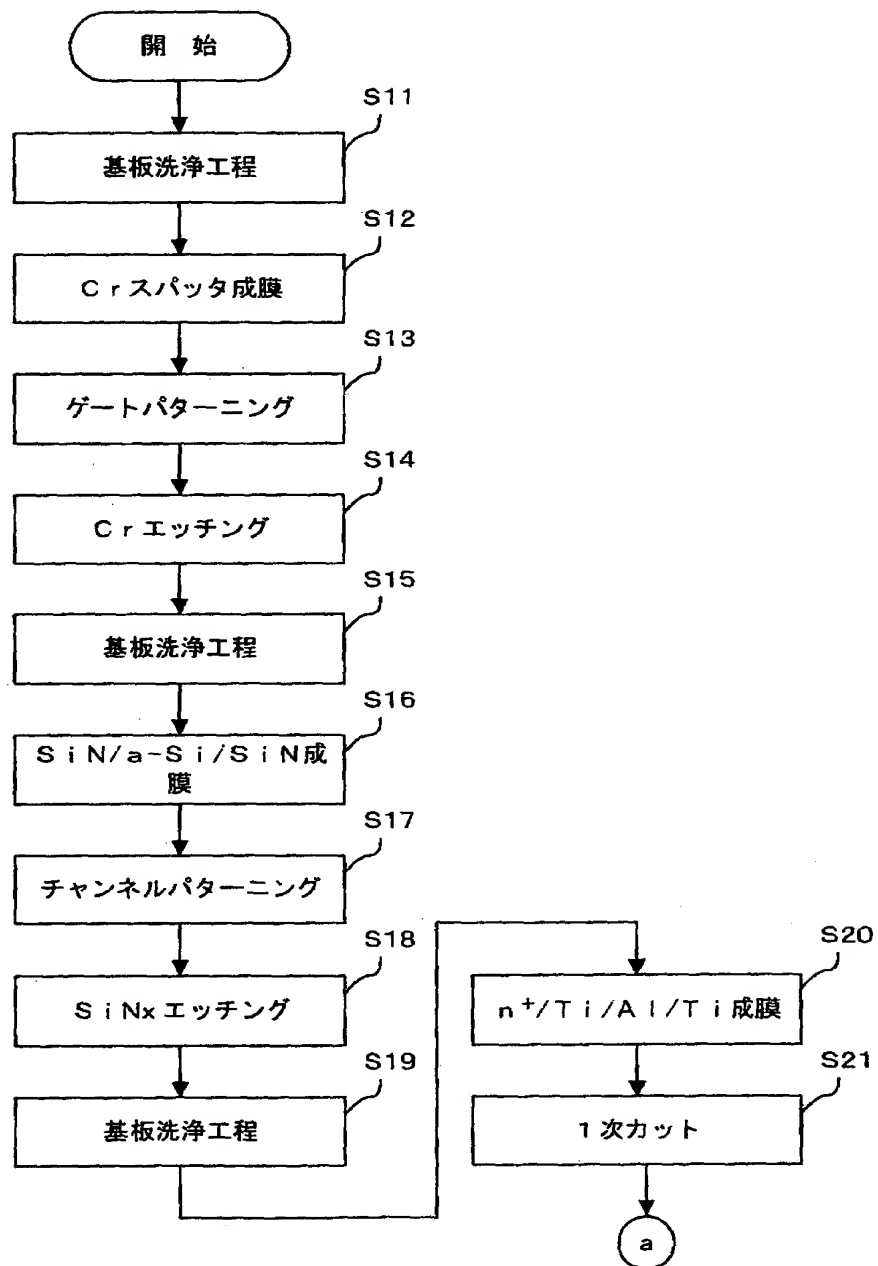
【図 9】

第 1 の実施の形態の液晶パネル（断面図）



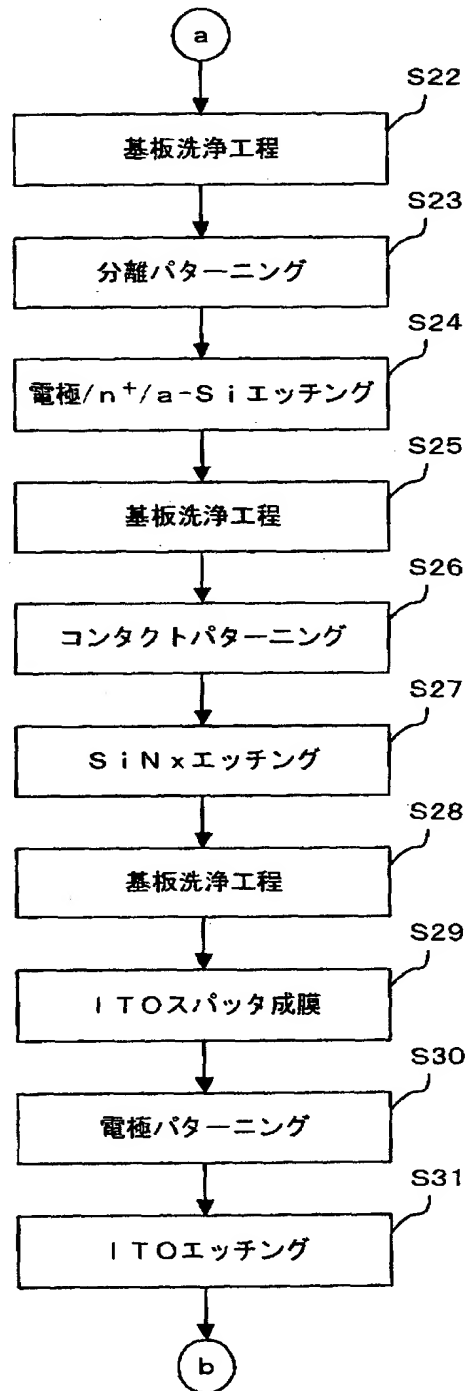
【図 10】

第 1 の実施の形態のフローチャート
(1)



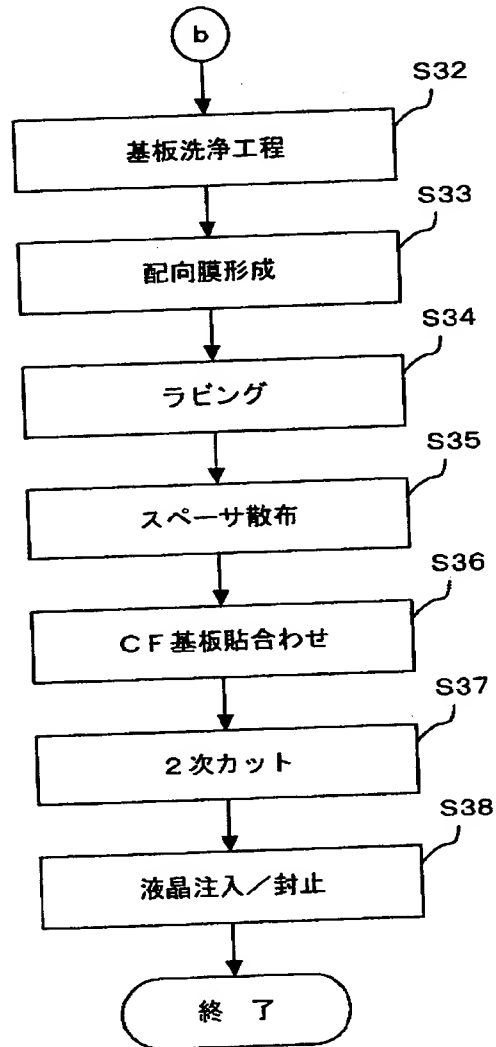
【図 1 1】

第 1 の実施の形態のフローチャート
(2)



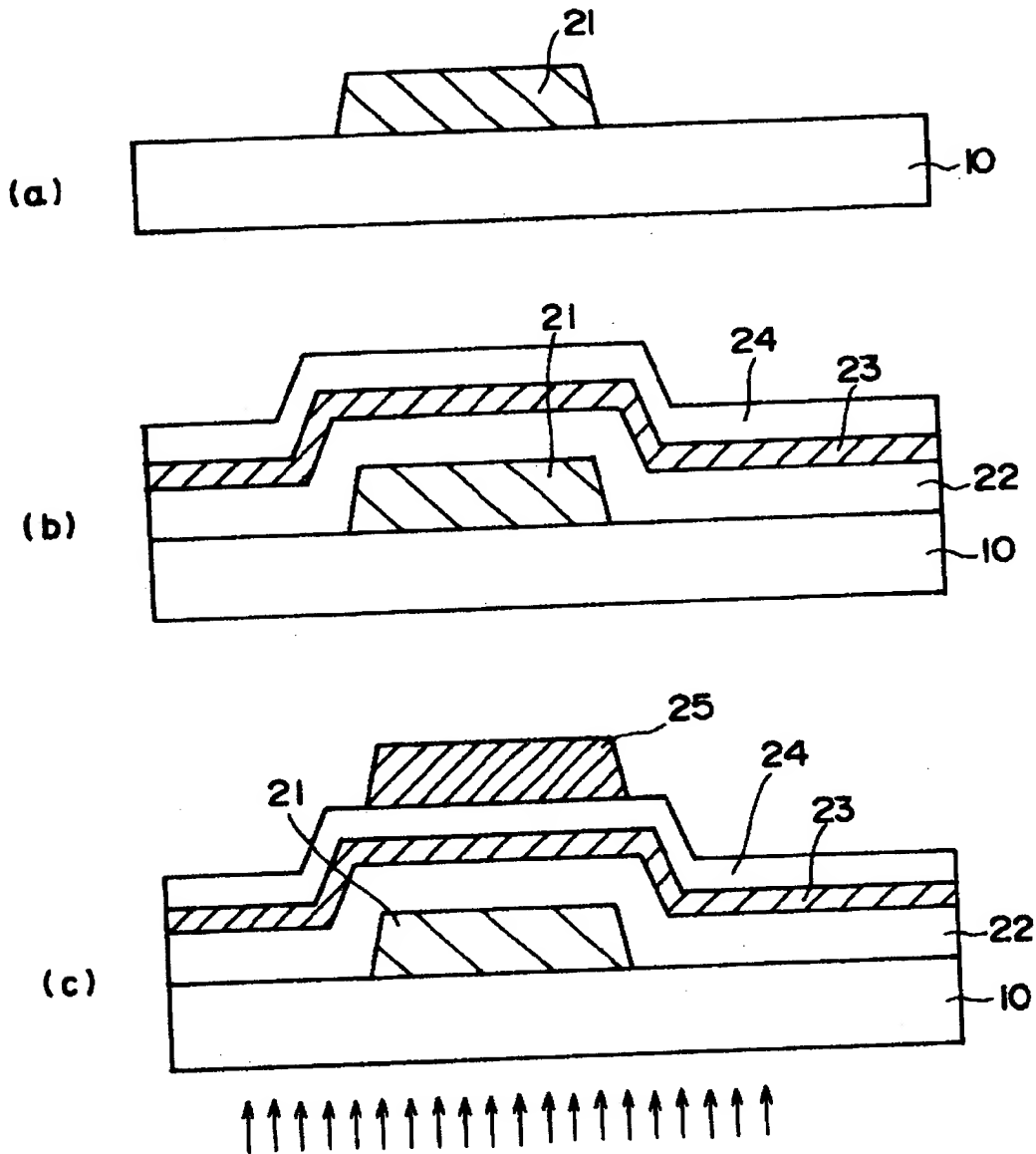
【図 1 2】

第 1 の実施の形態のフローチャート
(3)



【図 13】

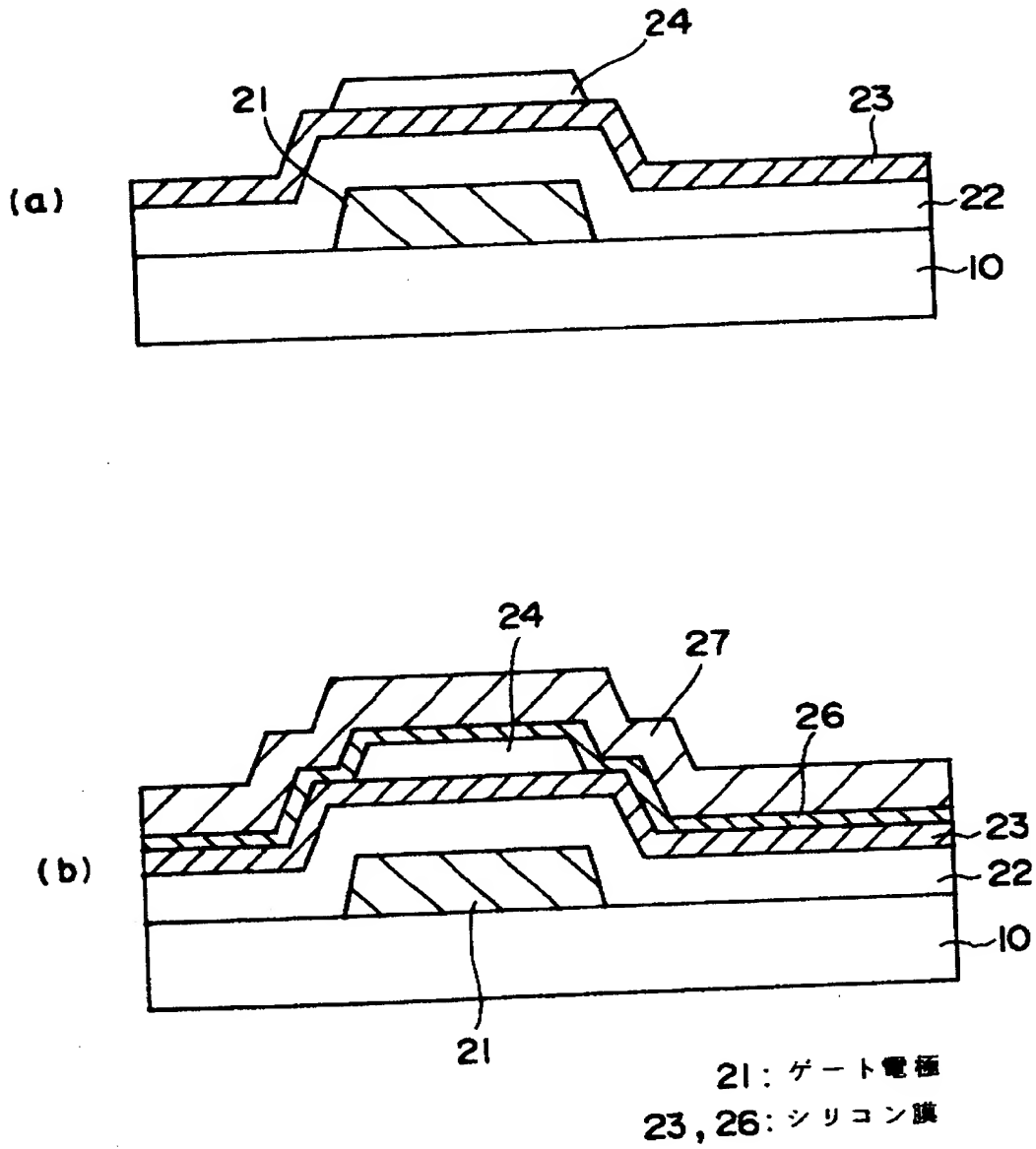
第 1 の実施の形態の液晶パネルの製造方法の断面図 (1)



10: マスタ TFT 基板
 21: ゲート電極
 23: シリコン膜

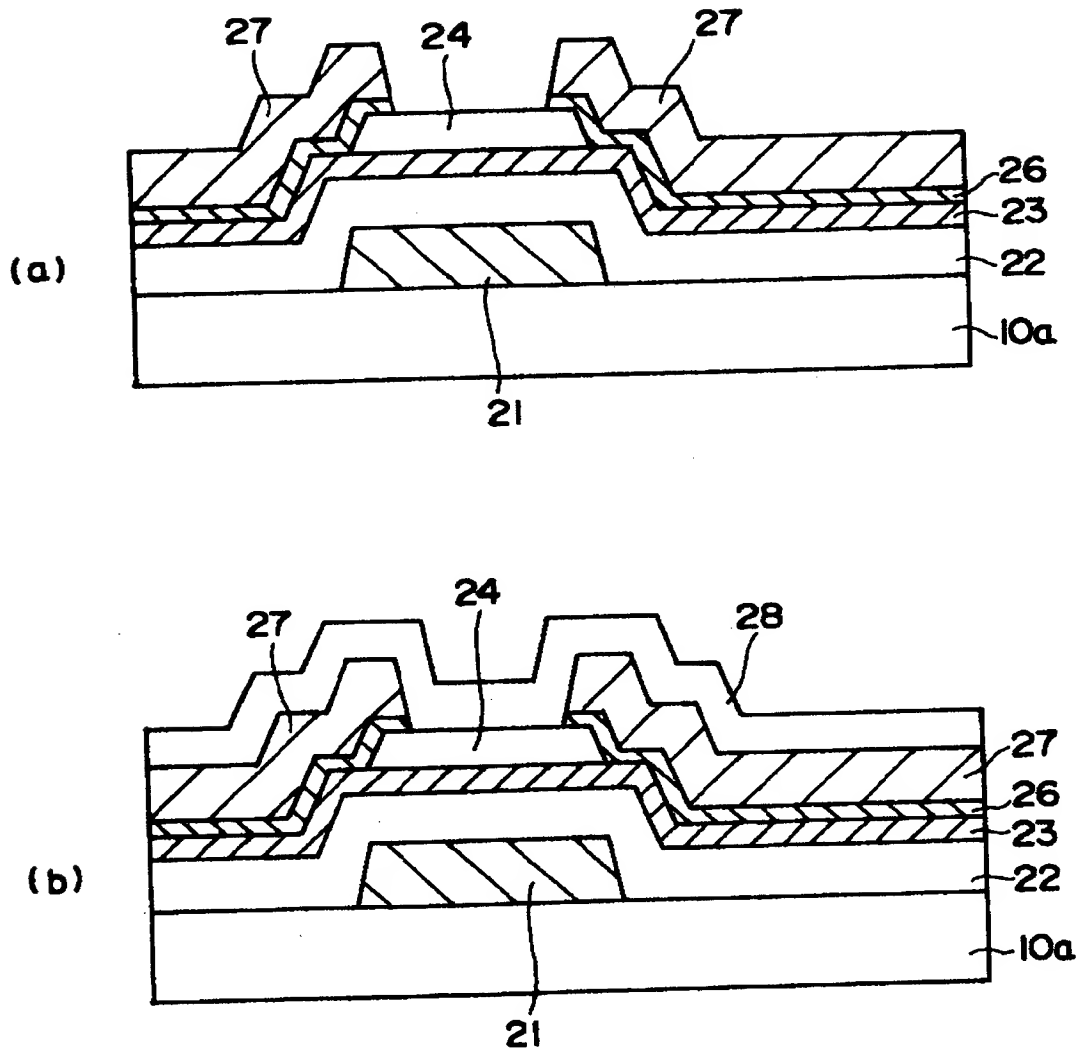
【図 1 4】

第 1 の実施の形態の液晶パネルの製造方法の断面図 (2)



【図 15】

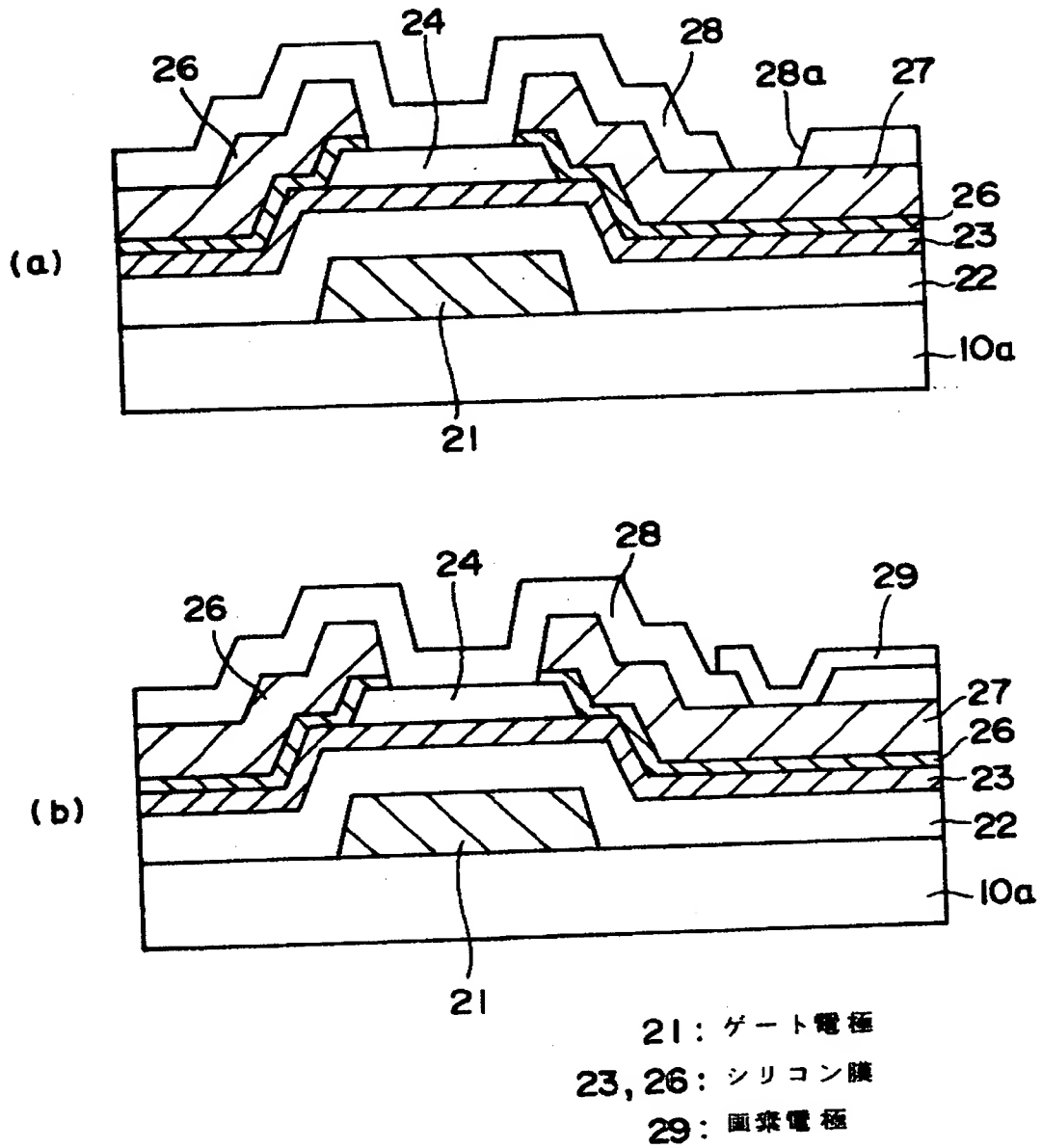
第 1 の実施の形態の液晶パネルの製造方法の断面図 (3)



10a: サブTFT基板
 21: ゲート電極
 23, 26: シリコン膜

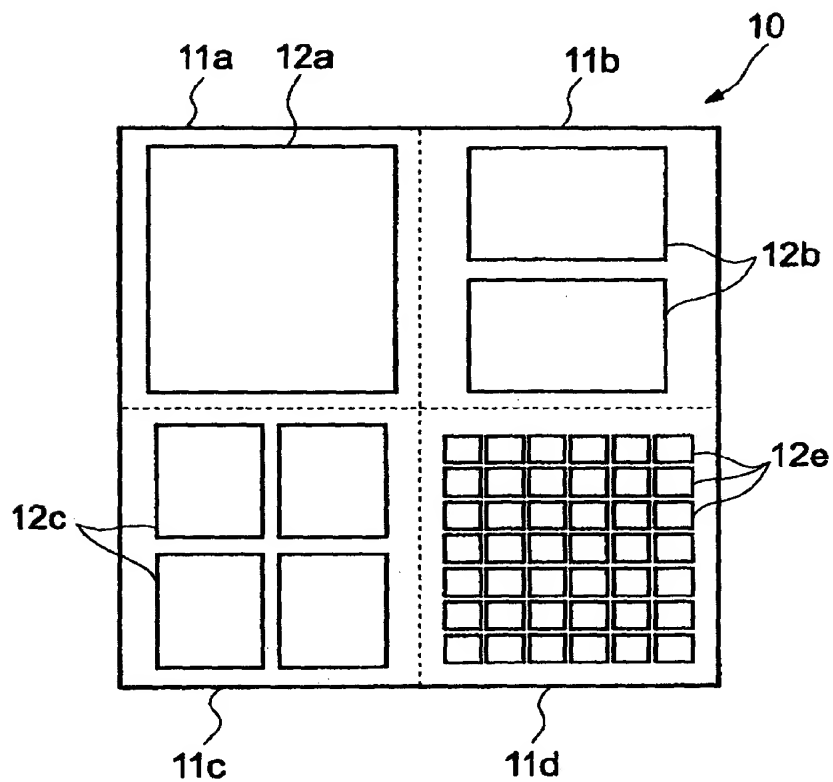
【図 1 6】

第 1 の実施の形態の液晶パネルの製造方法の断面図 (4)



【図 17】

第1の実施の形態の液晶パネルの組み合わせ例 (1)

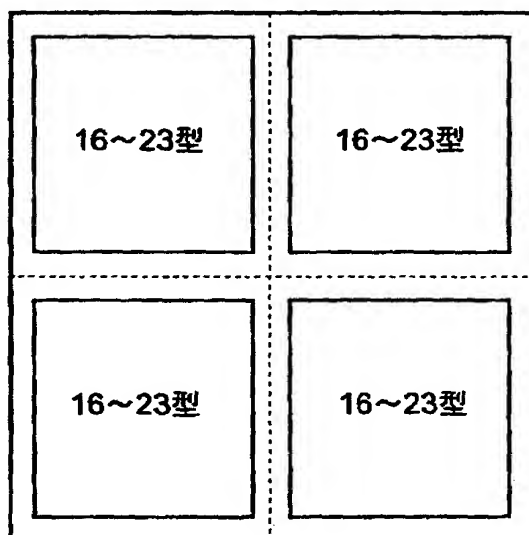


10 : マスタTFT基板
 11a~11d : ブロック
 12a~12c, 12e : デバイス形成領域

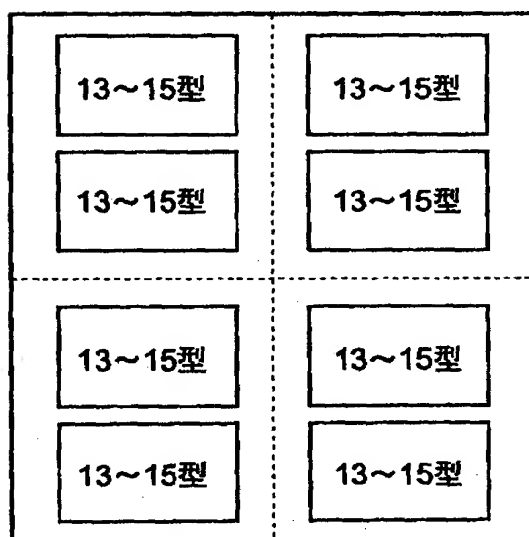
【図 1 8】

第1の実施の形態の液晶パネルの組み合わせ例 (2)

(a)



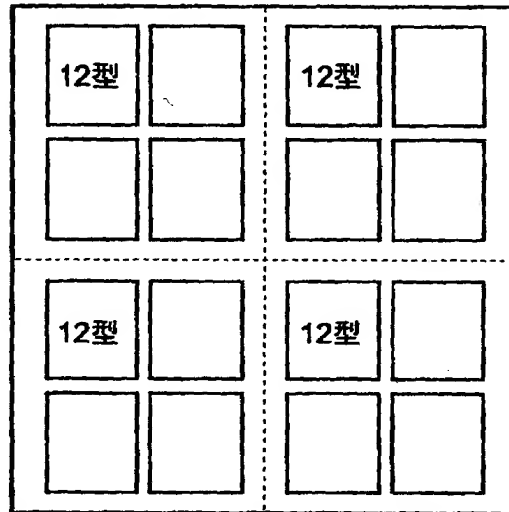
(b)



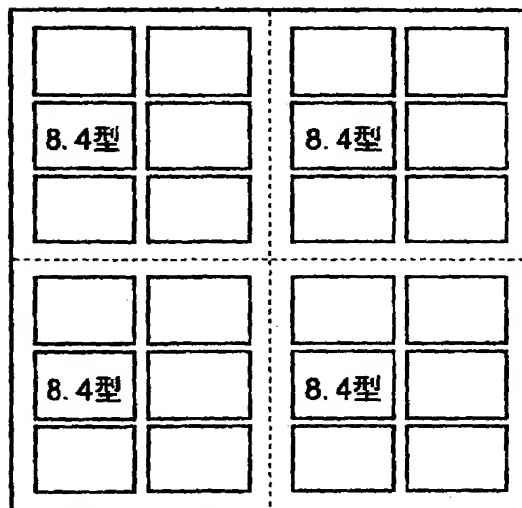
【図 19】

第1の実施の形態の液晶パネルの組み合わせ例 (3)

(a)

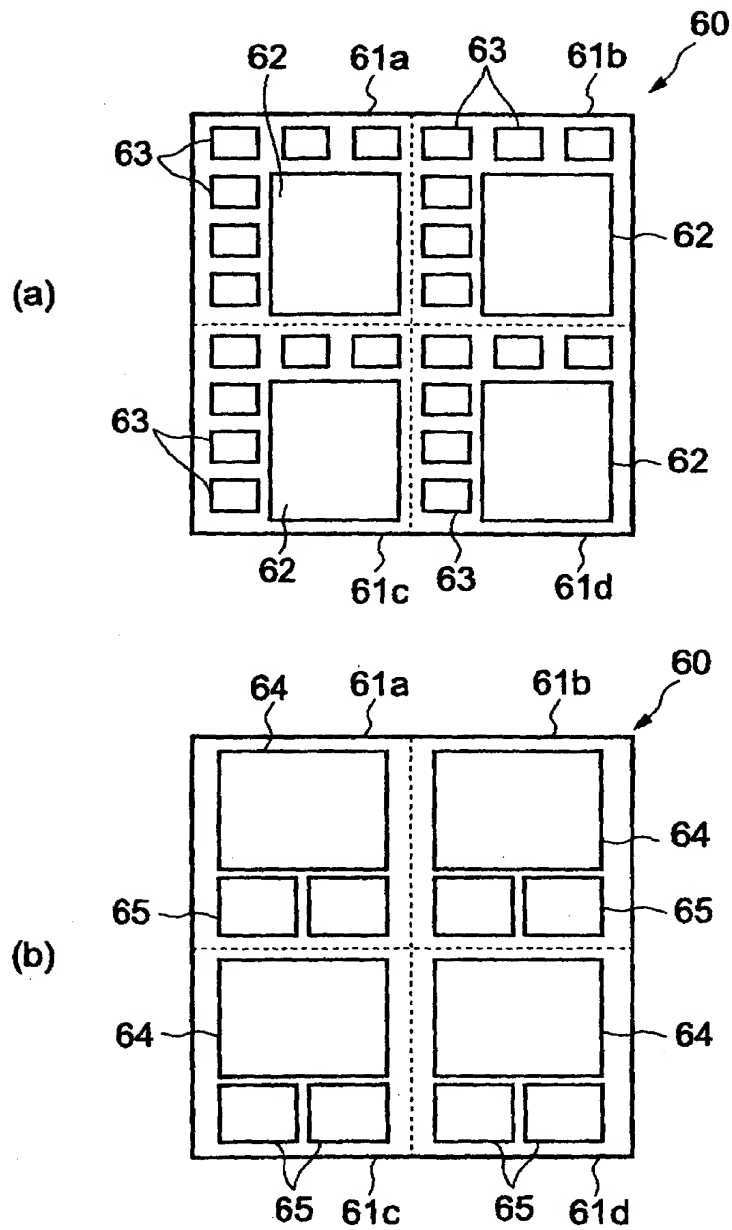


(b)



【図 20】

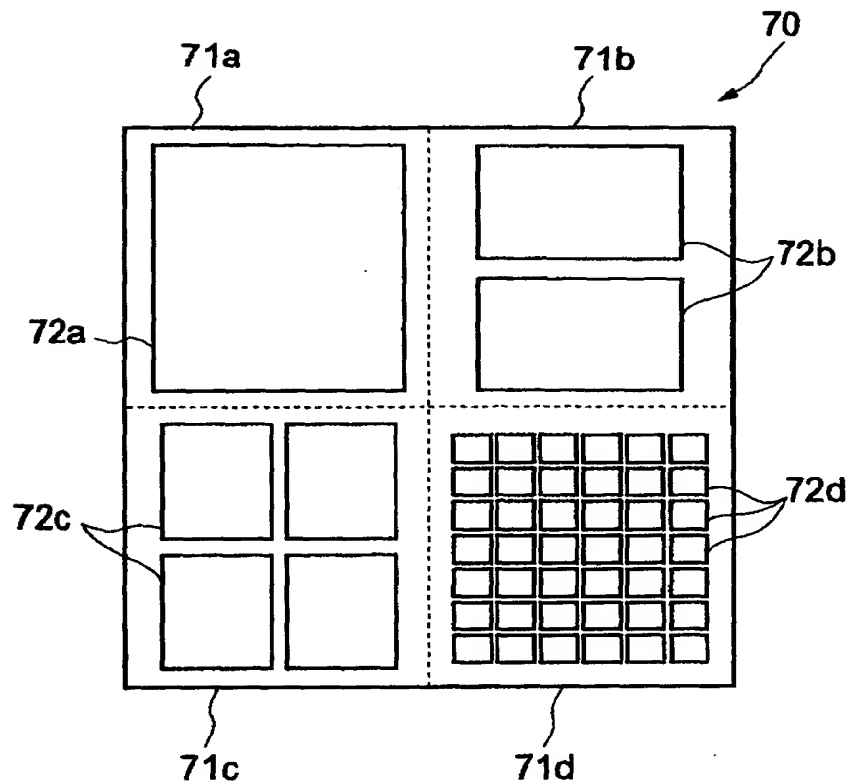
第2の実施の形態



60: マスタTFT基板
 61a~61b: ブロック
 62~65: デバイス形成領域

【図 2 1】

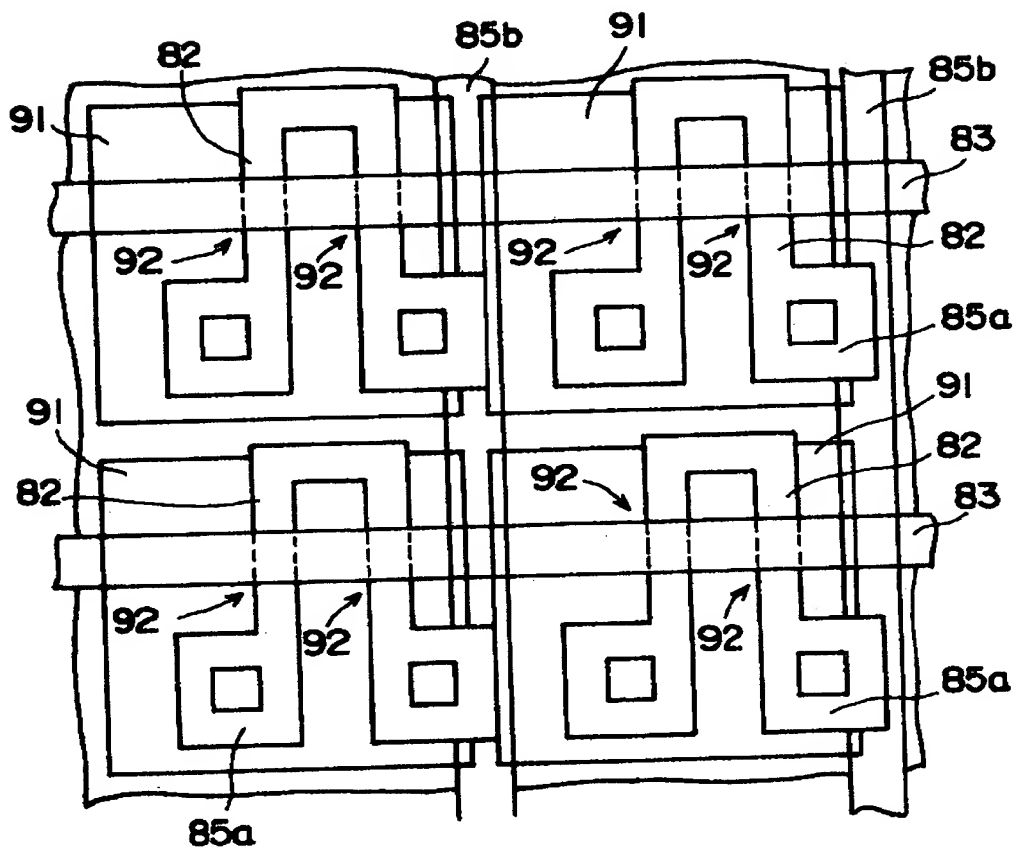
第3の実施の形態の概要



70 : マスタTFT基板
 71a~71d : ブロック
 72a~72d : デバイス形成領域

【図 22】

第 3 の実施の形態の反射型投射パネル

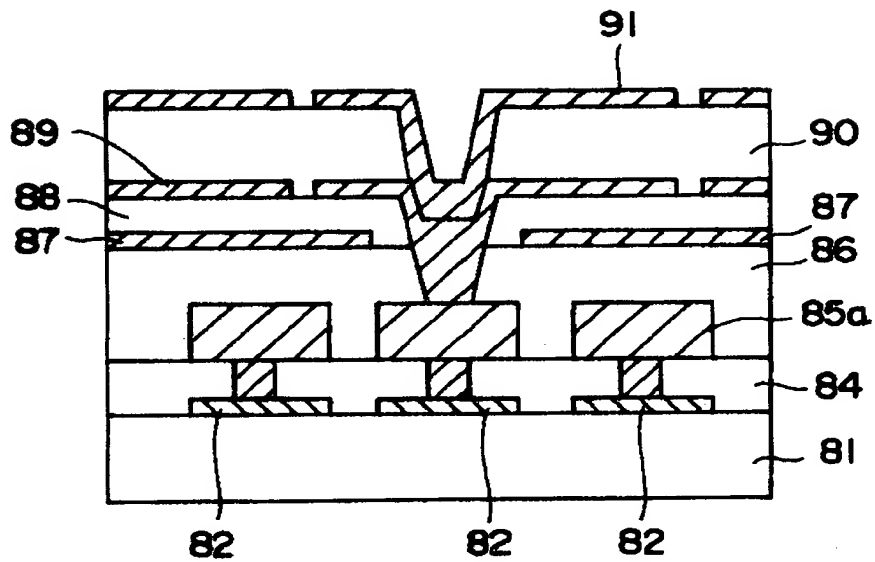


82 : シリコン膜
83 : ゲートライン

91 : 反射電極
92 : TFT

【図 2 3】

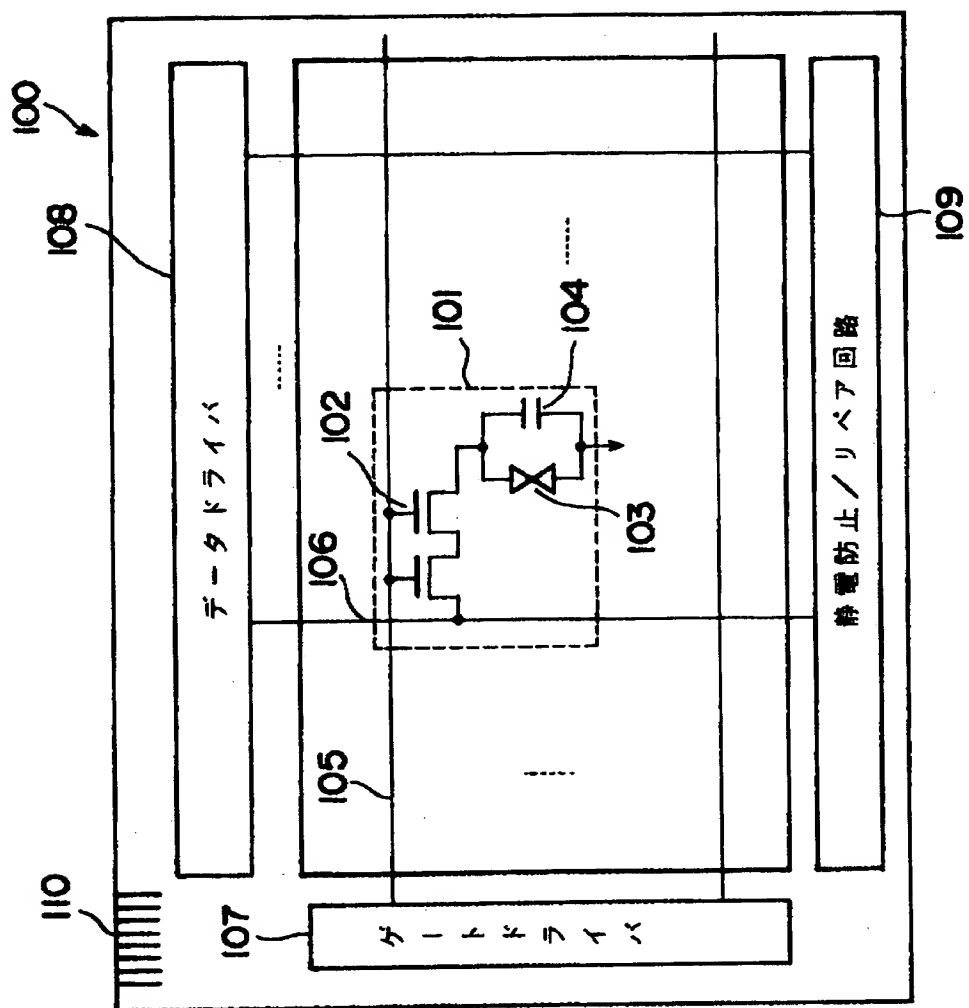
反 射 型 投 射 パ ネ ル の 断 面 図



- | | |
|------------|-------------|
| 81 : ガラス基板 | 89 : 下部容量電極 |
| 82 : シリコン膜 | 90 : 平坦化膜 |
| 87 : コモン電極 | 91 : 反射電極 |

【図 2 4】

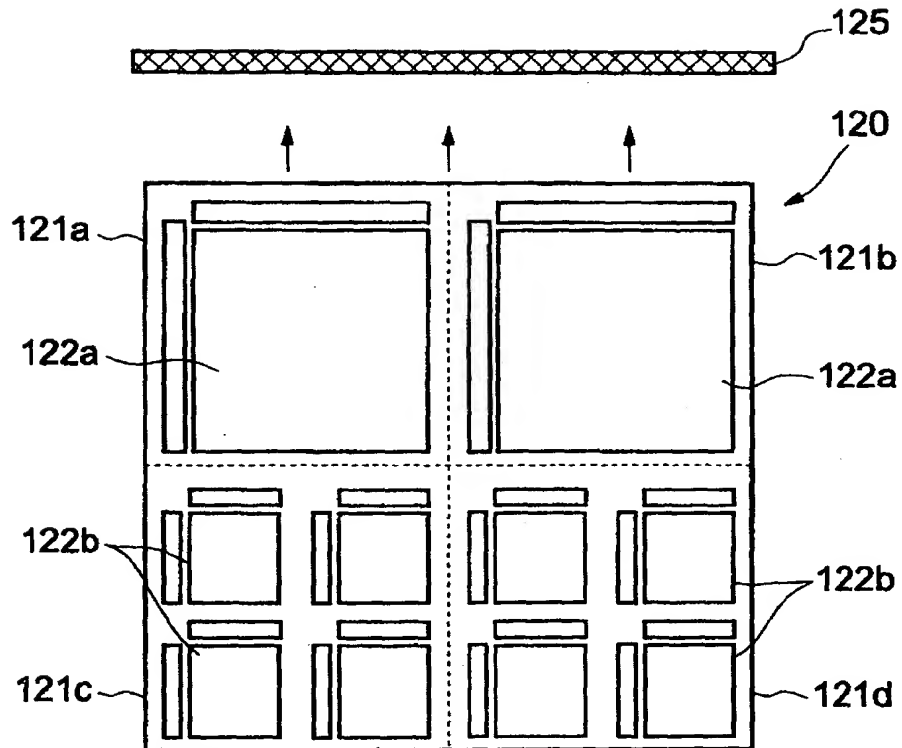
第 4 の実施の形態の液晶パネル



100 : 液晶パネル
101 : 図素
102 : TFT

【図 25】

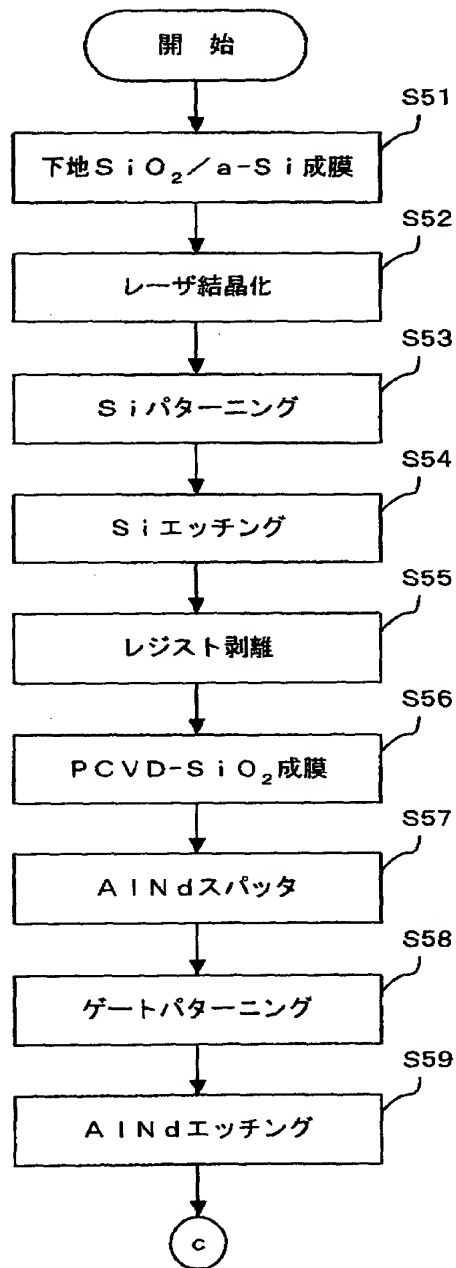
第4の実施の形態の概要



120: マスタTFT基板
 121a~121d: ブロック
 122a, 122b: 駆動回路内蔵液晶パネル
 125: レーザビーム

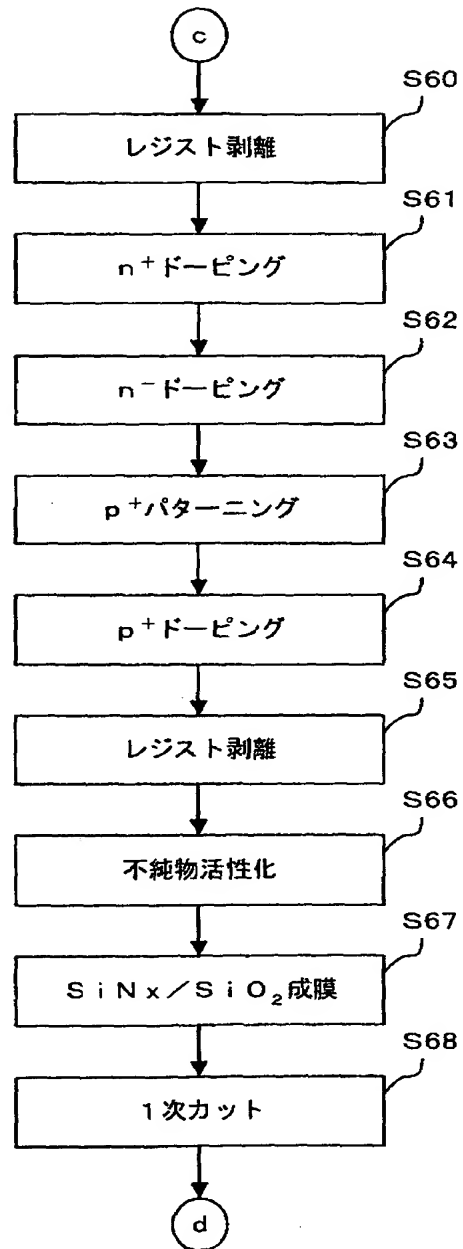
【図 26】

第 4 の実施の形態のフローチャート
(1)



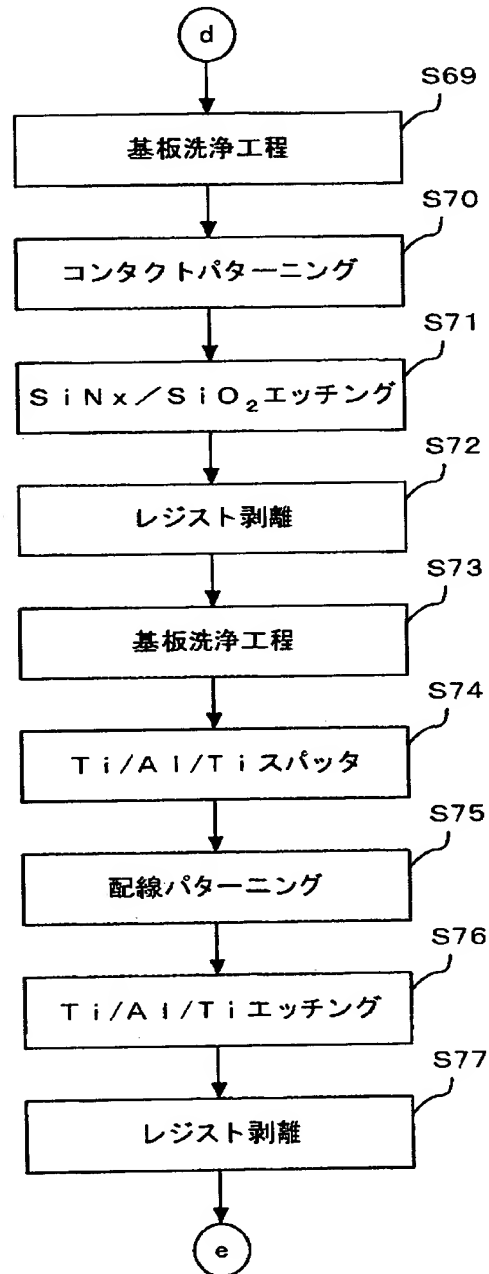
【図 27】

第 4 の実施の形態のフローチャート
(2)



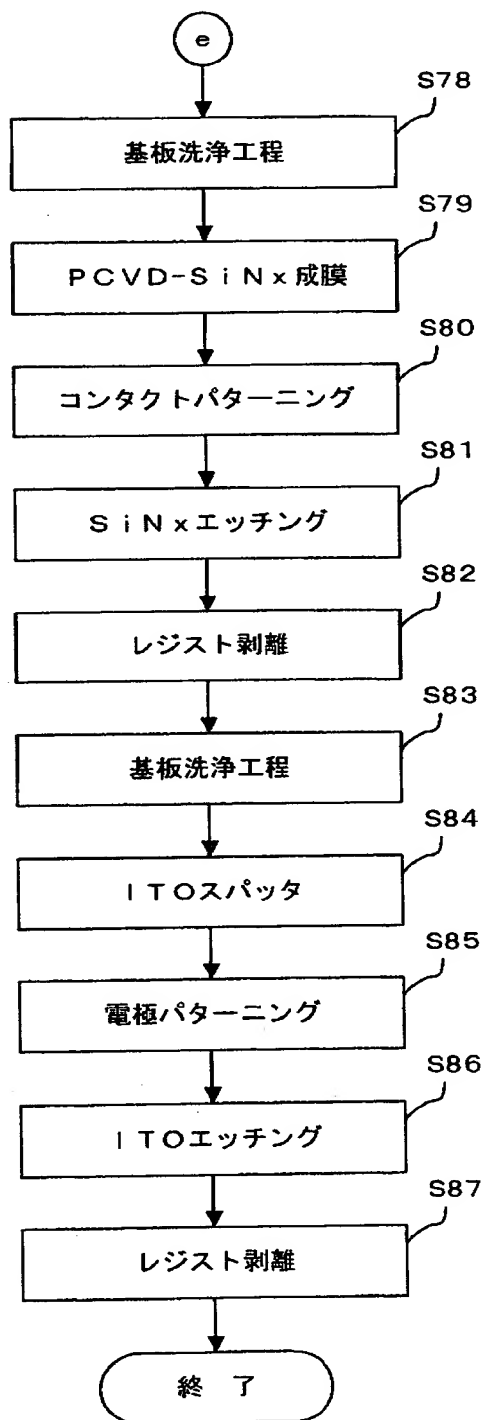
【図 2 8】

第 4 の実施の形態のフローチャート
(3)



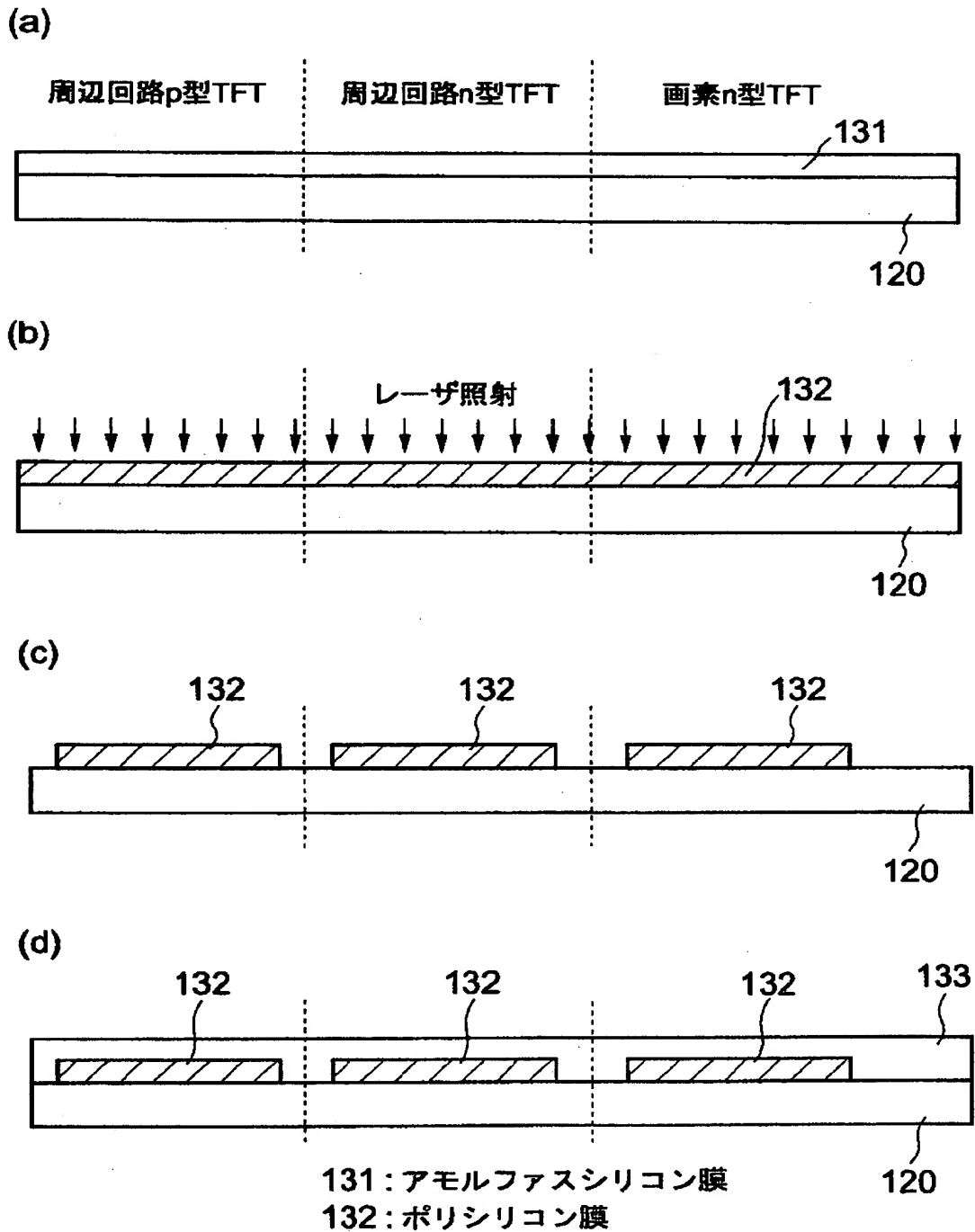
【図 2 9】

第 4 の実施の形態のフローチャート
(4)



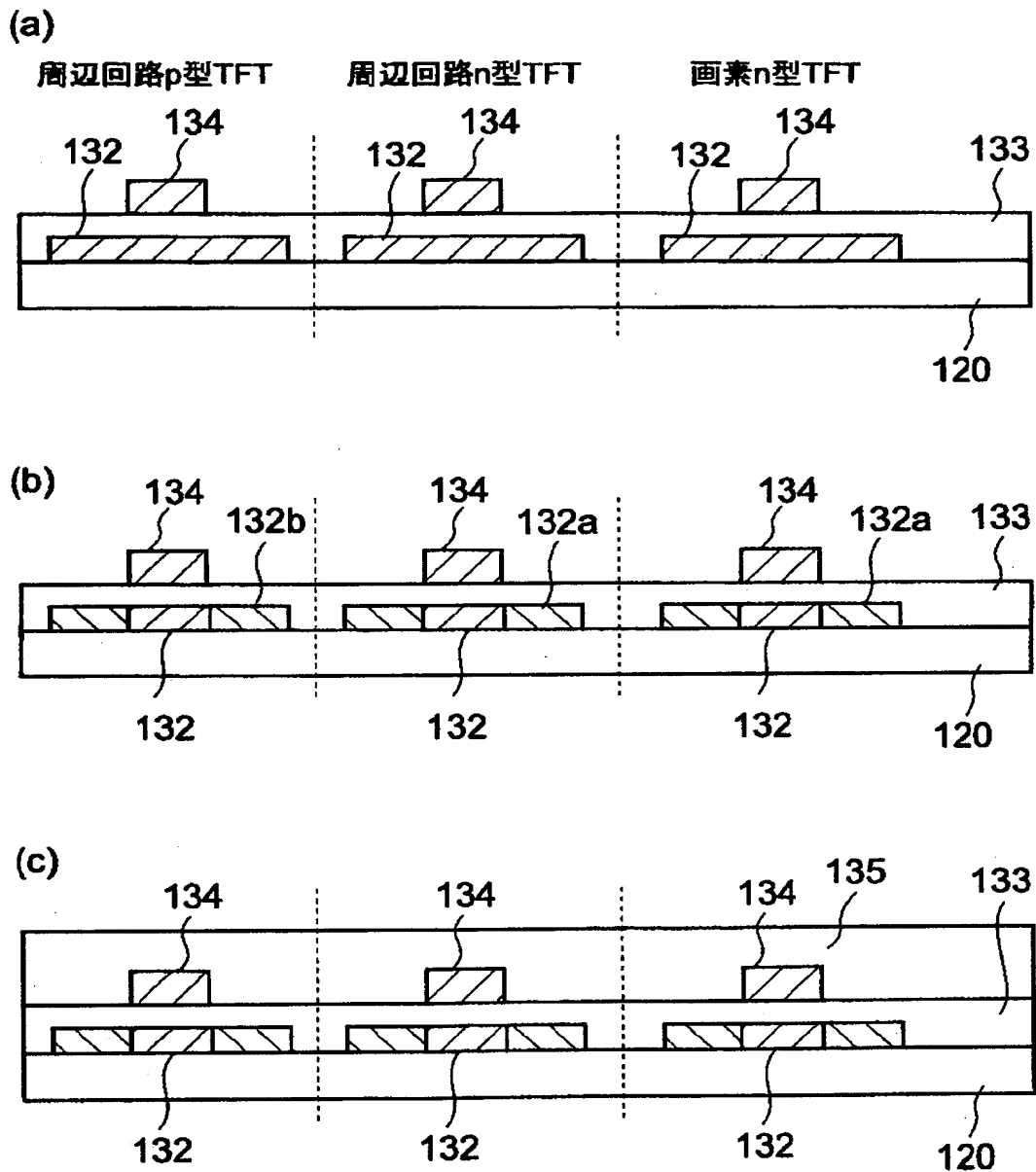
【図 3 0】

第4の実施の形態の液晶パネルの製造方法の断面図 (1)



【図 3 1】

第4の実施の形態の液晶パネルの製造方法の断面図 (2)

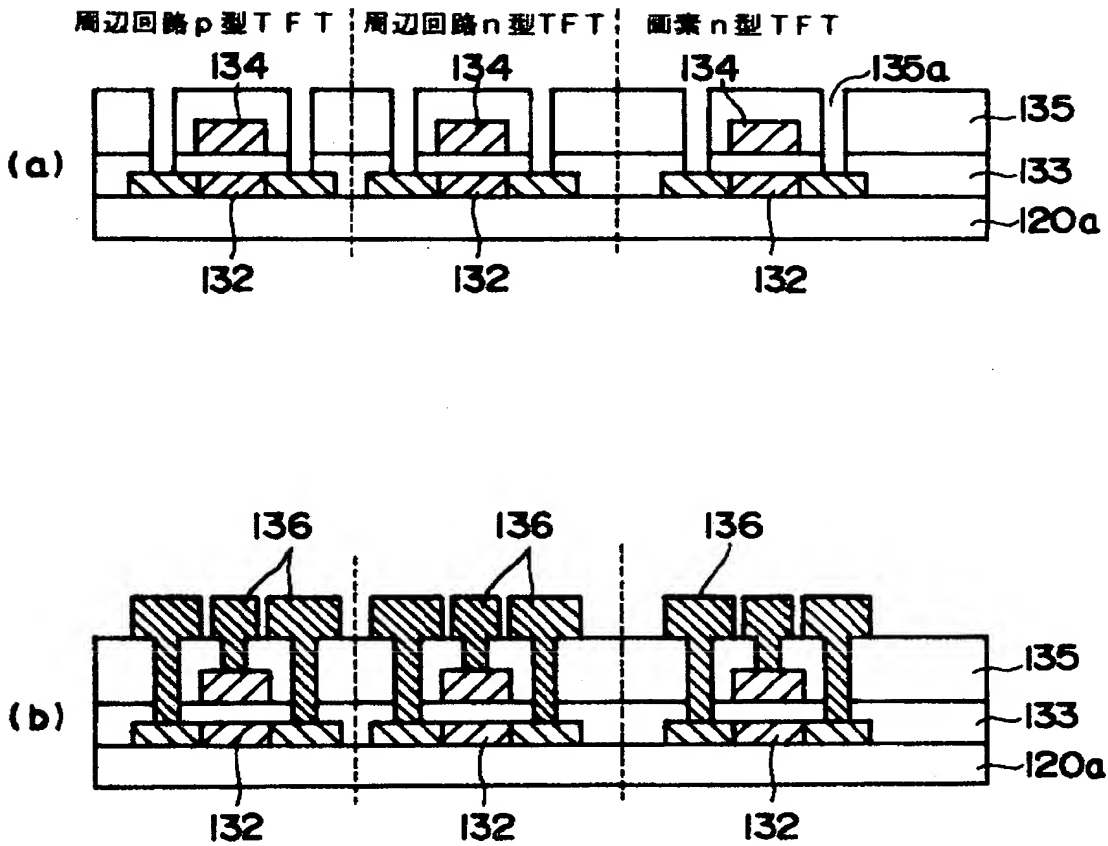


132: ポリシリコン膜

134: ゲート電極

【図 3 2】

第 4 の実施の形態の液晶パネルの製造方法の断面図 (3)



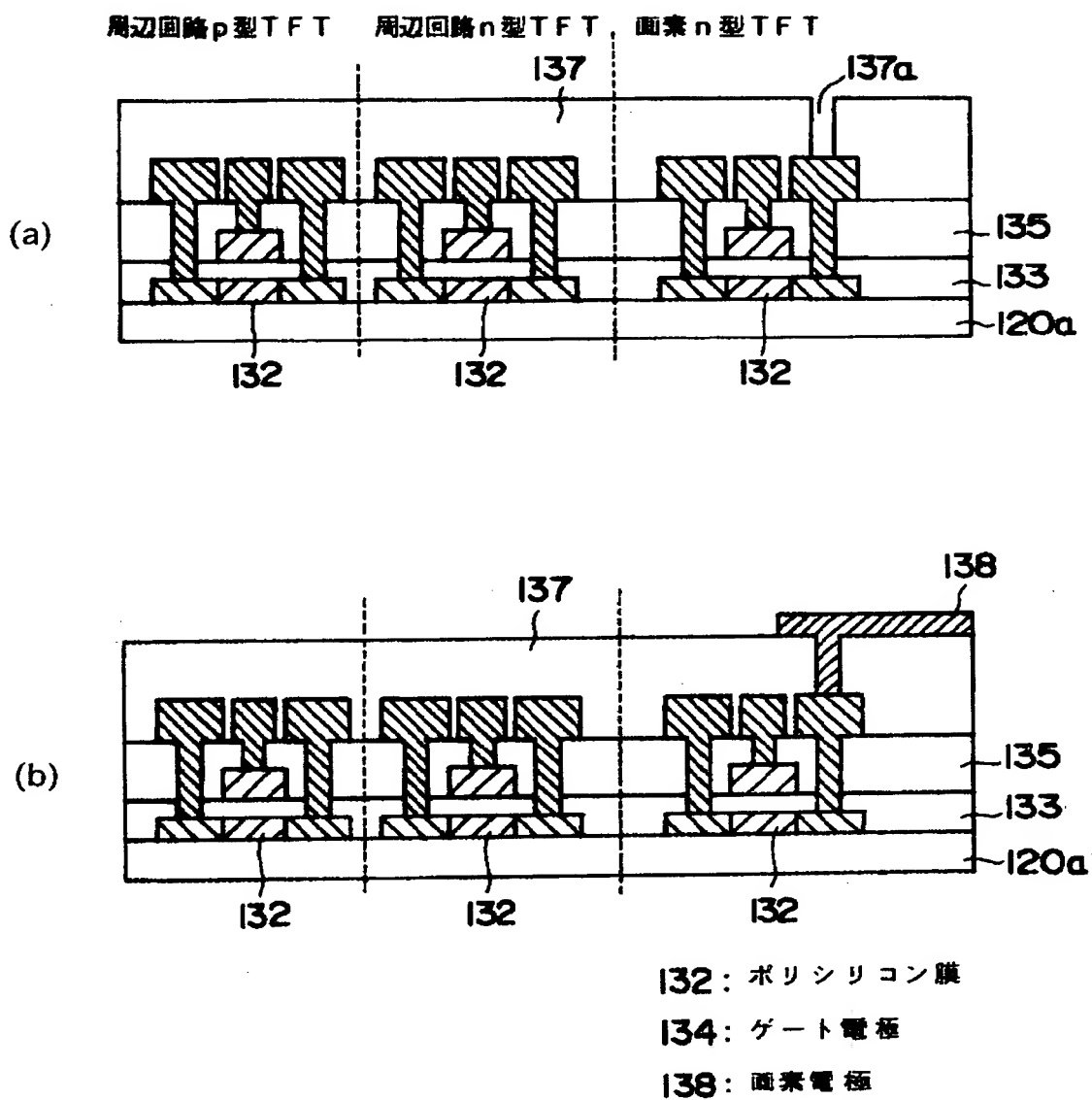
132 : ポリシリコン膜

134 : ゲート電極

133, 135 : 層間絶縁膜

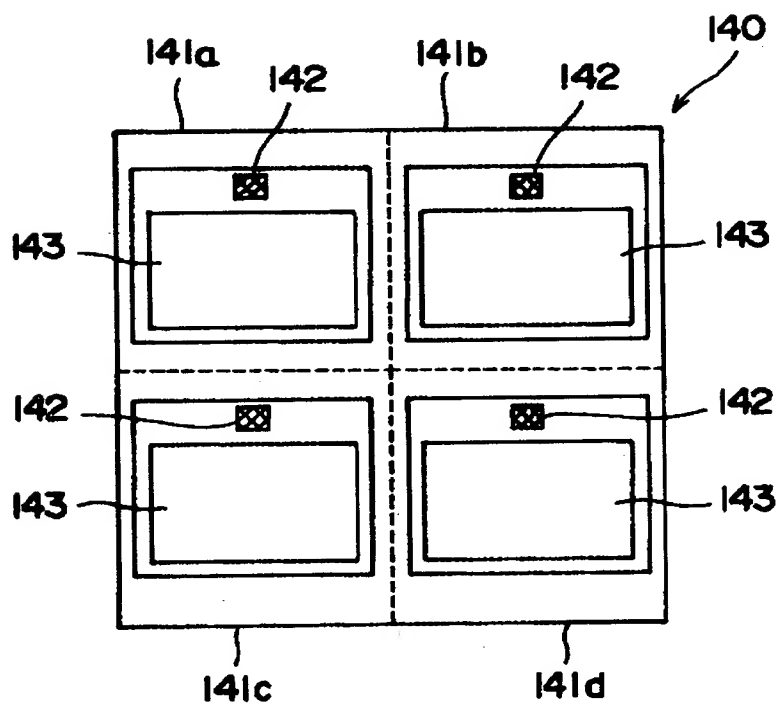
【図 3 3】

第 4 の実施の形態の液晶パネルの製造方法の断面図 (4)



【図 34】

第 5 の実施の形態の液晶パネルの製造方法



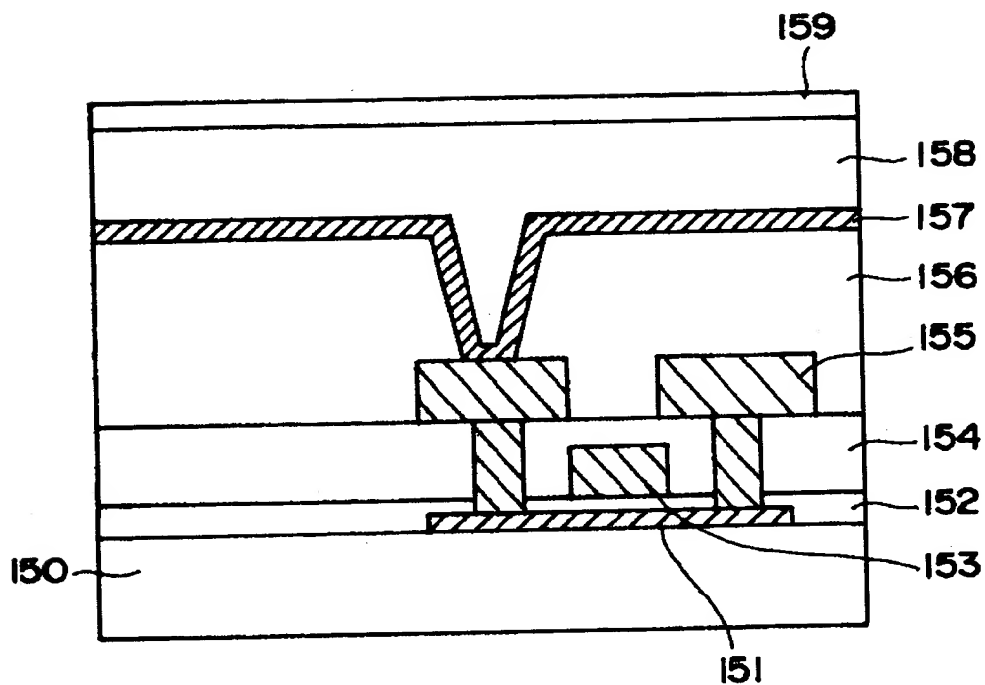
140 : マスタ TFT 基板

142 : イメージセンサ

143 : 液晶パネル

【図 35】

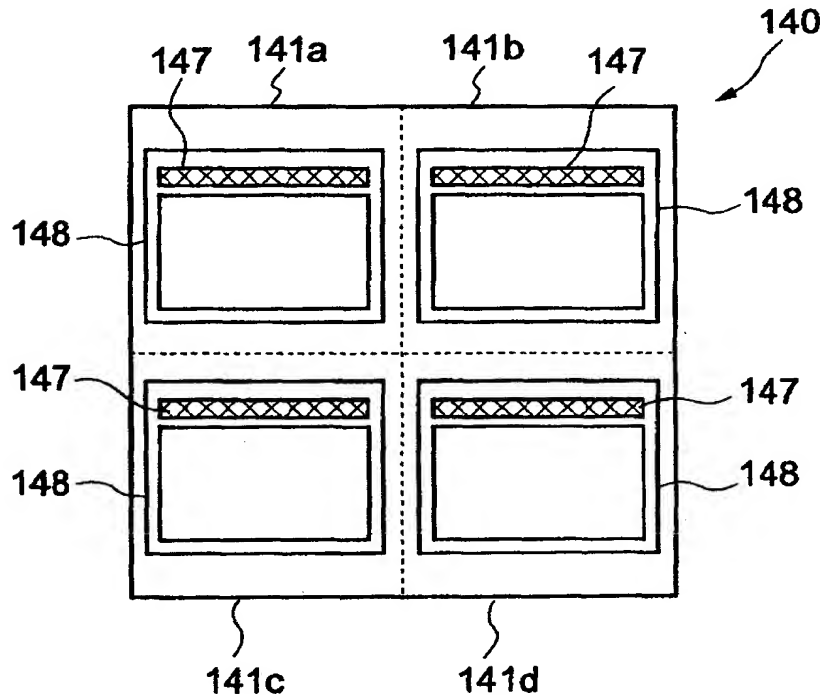
第 5 の実施の形態の液晶パネルの 2 次元イメージセンサ



- 151 : シリコン膜
- 153 : ゲート電極
- 157 : センサセル電極
- 158 : 光電変換層
- 159 : 共通透明電極

【図 3 6】

1次元密着型イメージセンサ内蔵液晶パネルの製造方法



140 : マスタTFT基板
 147 : イメージセンサ
 148 : 液晶パネル

【書類名】 要約書

【要約】

【課題】 マスタガラスのサイズを変更しても、従来の設備も効率よく使用し、多様化する市場の要求に容易に対応することができて、製造コストの低減を図ることができる液晶パネルの製造方法及び液晶パネルの製造システムを提供する。

【解決手段】 基板 10 を複数のブロック 11 a ～ 11 d に区画し、更に各ブロック 11 a ～ 11 d を 1 又は複数のデバイス形成領域 12 a ～ 12 d に区画する。第 1 の製造ラインを使用して、基板 10 の状態でデバイス形成領域 12 a ～ 12 d に T F T となる導電膜、絶縁膜及び半導体膜を形成する。その後、1 次カット工程において、基板 10 をブロック 11 a ～ 11 d 毎に切断して複数のサブ T F T 基板とする。次いで、第 2 の製造ラインを使用して、各サブ T F T 基板に、製造する液晶パネルの仕様に応じた加工を実施した後、2 次カット工程において、サブ T F T 基板をデバイス形成領域 12 a ～ 12 d 毎に切断する。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社